

IMAGE EXPANDING DEVICE

Patent number: JP8251595
Publication date: 1996-09-27
Inventor: URAMOTO SHINICHI; TAKAHATA AKIHIKO
Applicant: MITSUBISHI ELECTRIC CORP
Classification:
- **International:** G06T9/00; H04N7/26; H04N7/50; H04N7/68; G06T9/00; H04N7/26; H04N7/50; H04N7/64; (IPC1-7): H04N7/32; H03M7/00; H03M7/36; H04N7/30
- **European:** G06T9/00P; G06T9/00T; H04N7/26A4V; H04N7/26A8L; H04N7/26L; H04N7/26L2; H04N7/50; H04N7/68
Application number: JP19950049798 19950309
Priority number(s): JP19950049798 19950309

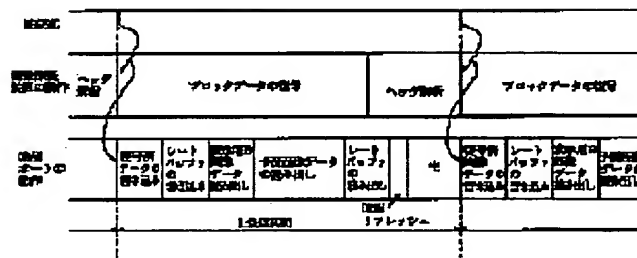
Also published as:

	EP0731422 (A2)
	US5699117 (A1)
	EP0731422 (A3)
	EP0731422 (B1)
	DE69634052T (T2)

[Report a data error here](#)**Abstract of JP8251595**

PURPOSE: To provide an image expanding device which can perform high-speed data processing which is superior in the use efficiency of a process computing element.

CONSTITUTION: When an MB synchronizing signal (MBSYNC) indicating the start of a process in one process section of a process unit consisting of a microblock header and respective microblocks is asserted, block data of the microblocks are decoded in timing with the assertion and then next microblock header information is analyzed. The assertion of the MB synchronizing signal is stopped until specific conditions are met. The process of block data of microblocks is always performed at the start of one process section, so the use efficiency of the process computing element is improved.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平8-251595

(43)公開日 平成8年(1996)9月27日

(51)Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N	7/32		H 0 4 N	7/137 Z
H 0 3 M	7/00	9382-5 K	H 0 3 M	7/00
	7/36	9382-5 K		7/36
H 0 4 N	7/30		H 0 4 N	7/133 Z

審査請求 未請求 請求項の数9

O L

(全36頁)

(21)出願番号 特願平7-49798

(22)出願日 平成7年(1995)3月9日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 浦本 紳一

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社システムエル・エス・アイ開発研究所内

(72)発明者 高島 明彦

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社システムエル・エス・アイ開発研究所内

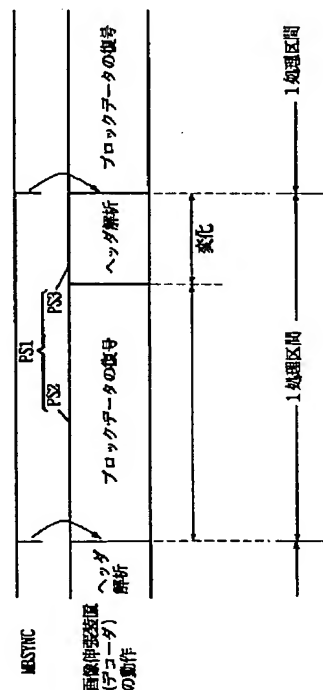
(74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】画像伸張装置

(57)【要約】

【目的】 処理演算器の使用効率の優れた高速データ処理を行なうことのできる画像伸張装置を提供する。

【構成】 マクロブロックヘッダとマクロブロックの各ブロックで構成される処理単位の1処理区間の処理において、処理の開始を示すMB同期信号(MBSYNC)がアサートされると、これに同期してマクロブロックのブロックデータの復号が行なわれ、続いて次のマクロブロックヘッダ情報の解析が行なわれる。所定条件が成立するまでMB同期信号のアサートが停止される。1処理区間の開始から常にマクロブロックのブロックデータの処理が実行されるため、処理演算器の使用効率が改善される。



【特許請求の範囲】

【請求項 1】 予め定められた手順に従って圧縮処理された動画像を所定サイズのセグメント単位で伸張処理する画像伸張処理装置であって、前記セグメントは、処理されるべきデータを含むデータブロックと、前記データブロックのデータの属性を示す情報を有するヘッダとを有し、前記動画像情報を示すビットストリームを受け、前記セグメントのヘッダの情報を解析し、次に実行されるべき処理を示す情報を生成するヘッダ復号手段と、前記ヘッダ復号手段からの前記セグメントのヘッダの情報の解析完了を示す信号にตอบสนองして、データ処理開始指示信号を発生する制御手段と、前記データ処理開始指示信号にตอบสนองして起動され、前記セグメントのヘッダに続くデータブロックの前記ヘッダ復号手段の解析結果に基づく処理を実行するデータ処理手段とを備え、前記ヘッダ復号手段は、各データブロックに続いて与えられるヘッダの情報を該先行のデータブロックに続いて連続して解析し、これにより、1つの単位処理区間は、データブロックの処理に始まり、該データブロックに続くヘッダの解析で終了する、画像伸張装置。

【請求項 2】 前記ヘッダの解析結果に従って前記単位処理区間の時間期間を変更する手段をさらに含む、請求項 1 記載の画像伸張装置。

【請求項 3】 前記圧縮処理された動画像は予測符号化処理を受けた画素データからなり、前記データ処理手段は、前記データブロックのデータを前記圧縮処理と逆の伸張処理を行なってもとの画素データを復元する手段を含み、前記制御手段は、前記単位処理区間内で前記データ処理開始指示信号にตอบสนองして、外部に設けられた記憶装置への前記データ処理手段からの復元された画素データの格納、前記ビットストリームの前記記憶装置への書込、前記記憶装置からの復元された画素データのうち表示すべき画素データの読出、および前記データ処理手段における画素データの復元に必要とされる予測画像画素データの読出を順次所定の順序で実行する手段を含む、請求項 1 記載の画像伸張装置。

【請求項 4】 予め定められた手順に従って圧縮処理された動画像を所定サイズのセグメント単位で伸張処理して圧縮前の画像データを復元するための画像伸張装置であって、前記圧縮処理された動画像は可変長符号化され、前記セグメントは処理されるべき画素データを含むデータブロックと、前記データブロックのデータの属性を示す情報を含むヘッダとを有し、与えられたビットストリームからヘッダを検出し該ヘッダの情報の解析を行なう解析手段を備え、前記解析手段はヘッダ情報のすべての解析完了を示す信号を発生する手段を含み、前記解析手段の解析結果に従って該セグメ

ントのデータブロックの画素データを可変長復号化して固定長画素データを生成する可変長復号手段を含み、前記データブロックの画素データを圧縮前の画素データに復元するデータ処理手段と、

前記解析手段および可変長復号手段の処理においてエラーが検出されたとき、該エラーを示すエラー検出信号を発生する手段と、

前記エラー検出信号にตอบสนองして、入来するビットストリームから予め定められたパターンを有するコードを探索するコード探索手段と、

前記コード探索手段からのコード検出にตอบสนองして、前記解析手段を活性化する活性化手段と、

前記解析手段からの前記ヘッダ部の情報の解析完了指示信号にตอบสนองして、所定の条件が成立するまで該ヘッダに続くデータブロックの前記データ処理手段による処理実行を待ち合わせる手段とを含む、画像伸張装置。

【請求項 5】 前記データ処理手段は、前記セグメントを処理単位としてパイプライン的に処理動作する複数のパイプラインステージを含む、請求項 1 または 4 記載の画像伸張装置。

【請求項 6】 前記パイプラインステージは、予測画像データの記憶装置からの読込、データブロックの直交変換係数の可変長復号化およびその逆量子化を行なう第 1 のパイプラインステージと、前記読込まれた予測画像画素データから予測画像を作成する第 2 のパイプラインステージと、前記逆量子化された画素データの逆直交変換処理および前記予測画像画素データと前記逆直交変換処理された画素データとから前記データブロックの画素データの復元を行なう第 3 のパイプラインステージと、前記復元された画素データの前記記憶装置への書込を行なう第 4 のパイプラインステージとを含む、請求項 5 記載の画像伸張装置。

【請求項 7】 前記エラー検出信号にตอบสนองして、該エラーが検出されたセグメントよりも前記データ処理手段における処理の順序において前に位置するセグメントのデータブロックから所定のエラー修復処理を前記パイプラインステージにおいて施す手段をさらに備える、請求項 5 記載の画像伸張装置。

【請求項 8】 所定の手順に従って圧縮処理された動画像を所定サイズのセグメント単位で伸張処理して圧縮前の画像画素データを復元するための画像伸張装置であって、前記圧縮処理された動画像は可変長符号化され、かつ前記セグメントは画素データを含むデータブロックと、前記データブロックの属性を示すヘッダとを有し、与えられたビットストリームに含まれるセグメントのヘッダに含まれる情報を解析する解析手段と、前記解析手段の該解析結果に基づいてそれに続くデータブロックのデータに可変長復号化処理を施す可変長復号化手段を含み、前記データブロックのデータをもとの画像データに復元するデータ処理手段と、

10

20

30

40

50

リセット要求信号に応答して、前記解析手段を起動する起動信号を発生する手段と、
前記起動信号に応答して、外部から与えられるビットストリームにおいて所定のパターンを有するコードを探索する手段と、
前記探索手段からの前記コードの検出に応答して、前記解析手段を活性化する手段と、
前記解析手段からの前記ヘッダの情報の解析完了指示信号に応答して、所定の条件が成立するまで該ヘッダに続くデータブロックの前記データ処理手段による処理実行を待ち合わせる手段とを含む、画像伸張装置。

【請求項 9】 前記所定の条件は、外部から与えられる画像の開始時点を示す同期信号の印加である、請求項 8 記載の画像伸張装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、圧縮処理された画像データを伸張処理して圧縮前の画像データを復元する画像伸張装置に関し、特に、直交変換およびフレーム/フィールド間予測符号化を用いる動画像圧縮方式に従って圧縮処理された画像データを伸張処理する動画像伸張装置に関する。

【0002】

【従来の技術】膨大なデータ量を含む画像データを高能率で符号化することにより、データ量を低減して伝送し、この高能率符号化された画像データを復号することにより、もとの画像を復元する方式が提案されている。このような画像データの処理方式の 1 つに、動画像を対象とする M P E G (Moving Picture Experts Group) 規格がある。この M P E G 規格の画素データの符号化方式は、この分野においてはよく知られているが、本発明の背景の理解を容易にするために、まず簡単に M P E G 標準の画像データの復号化方式について説明する。

【0003】図 27 は、一般的な M P E G 準拠動画像データ符号化装置の構成を概略的に示す図である。図 27 において、符号化装置は、入力画素データと予測画像の対応の画素データ（参照画素データ）との差分を求める減算器 1000 と、減算器 1000 の出力する信号（予測誤差信号）に直交変換処理の 1 つである離散コサイン変換 (D C T) 処理を施す D C T 変換器 1002 と、D C T 変換器 1002 の出力する信号 (D C T 係数) を量子化する量子化器 1004 とを含む。

【0004】後に詳細に説明するが、画像には、I ピクチャ、P ピクチャおよび B ピクチャなどの種類が存在し、画像の種類に応じて用いられる予測方式が異なる。I ピクチャは、フレーム内またはフィールド内符号化され、入力画素データそのものが符号化される。P ピクチャは過去の再生画像からのフレーム間またはフィールド間予測符号化処理を受ける画像である。B ピクチャは、過去の再生画像および未来のいずれかまたは

両方の再生画像両方の画像（フレームまたはフィールド）を用いて予測を行なう画面である。この B ピクチャは、I ピクチャおよび P ピクチャを用いて予測符号化される。B ピクチャは参照画像としては用いられない。

【0005】フレーム間またはフィールド間予測を行なう場合には、動き補償が行なわれる。現画像のブロック（処理単位となるセグメント）に最も相関性の高い予測画像におけるブロックを求め、この最も相関性の高いブロックを用いて予測符号化を行なう。この現画像ブロックと予測画像ブロックとの位置のずれは動きベクトルとして求められて、各画素データブロックに付されて伝送時に送信される。動き補償は、通常、16 画素×16 画素のブロック（セグメント）を単位として実行される。

【0006】D C T 変換器 1002 は、通常、8 画素×8 画素のブロックを単位として D C T 変換処理を実行する。D C T 変換処理を施すことにより、画像における空間的な冗長性（隣接画素間の高い相関性）を低減する。すなわち、この D C T 変換器 1002 において D C T 変換処理を施すことにより、この D C T 係数を低域係数領域に偏在させることができ、次段の逆量子化器の処理による画像データ量の削減を可能にする。

【0007】量子化器 1004 は、量子化テーブル 1012 を参照して、この D C T 変換器 1002 からの D C T 係数の量子化を行なう。量子化テーブル 1012 において、高周波成分に対しては大きな値が設定される。この量子化テーブル 1012 を参照して、量子化器 1004 において D C T 変換部 1002 からの D C T 係数を量子化することにより、空間周波数における水平および垂直方向ともに低域成分を大きくし、かつ高域成分をほとんど“0”とすることができる。これにより、データ量を低減する。

【0008】符号化装置はさらに、量子化器 1004 からの量子化データを所定の順序でジグザグ態様で並べ変えるジグザグスキャン器 1006 と、ジグザグスキャン器 1006 からのデータを可変長符号化する可変長符号化器 1008 と、可変長符号化器 1008 からの可変長符号化データおよび図示しない動きベクトル検出器からの動きベクトル情報および他のブロックの属性を示す情報を受け、所定のフォーマットに従って動きベクトル情報および属性情報を可変長符号化処理してかつ誤り符号語などを付加して出力する伝送符号化回路 1010 を含む。

【0009】ジグザグスキャン器 1006 は、図 27 にそのジグザグスキャン器 1006 の左側のブロック 1015 に示すように、8×8 個の D C T 係数を図 27 の左上から順次右下（すなわち高域成分領域）へ向かってジグザグに進むように D C T 係数を並べ変える。図 27 の、D C T 係数ブロック 1015 に示される D C T 係数のうち最も左上の D C T 係数は、D C 係数と呼ばれ、8

画素×8画素のブロックデータの平均値を示し、残りのDCT係数はAC係数と呼ばれる。ジグザグスキャン器1006によりDCT係数をジグザグスキャンすることにより、非0係数を効率的に捕捉する。可変長符号化器1008は、このジグザグスキャン器1006からの量子化されたDCT係数を順に、先行する0係数（無効係数）の個数（ラン）と非0の係数（有効係数）の値（レベル）とをまとめて2次元可変長符号化を行なう。この可変長符号化器1008は、たとえばハフマン符号に従って展開された符号化テーブル1014を用いてジグザグスキャン器1006からの量子化DCT係数データを可変長符号化する。量子化されたDCT係数においては、高域成分には、“0”が多く存在し、低域成分に有効係数が多く存在する。この有効係数に対し短い長さの符号を割当て、かつ出現頻度の少ない量子化係数に符号長の長い符号を割当てることにより、データ量をさらに低減する。

【0010】図28は、図27に示す伝送符号化回路1010から伝送される画像の配列の一例を示す図である。図28において、ピクチャ番号1ないし13が付された13枚の画像が示される。ピクチャ番号1および13の画像は、Iピクチャであり、ピクチャ番号4、7および10の画像がPピクチャである。IピクチャとPピクチャの間またはPピクチャとPピクチャの間に2つのBピクチャが挿入される。Iピクチャは、フレーム内符号化処理のみが行なわれ、予測符号化は行なわれない画像である。Pピクチャはフレーム間またはフィールド間予測符号化（動き補償付）処理される画像であり、Bピクチャは一例として双方方向予測符号化（動き補償付）画像である。Iピクチャ（I）、Pピクチャ（P）およびBピクチャ（B）はフィールド画像であってもよく、またフレーム画像であってもよい。このBピクチャ（B）の予測においては、たとえば時間的に前および後のIピクチャおよびPピクチャまたはPピクチャおよびPピクチャを用いて内挿処理が行なわれる。Pピクチャは、時間的に前のIピクチャ（I）またはPピクチャ（P）を用いて予測符号化（動き補償付）処理が行なわれる。IピクチャおよびPピクチャのみが予測画像として用いられ、Bピクチャ（B）は予測画像としては用いられない。

【0011】図29は、1つの画像の構成を示す図である。図29において、1枚の画像（フィールドまたはフレーム）1020は、複数のマクロブロックと呼ばれるセグメントに分割される。図29においては、簡単化のために、画像1020は32個のマクロブロックMB#1～MB#32に分割される構成が一例として示される。動画像の処理は、このマクロブロックと呼ばれるセグメントを単位として実行される（符号化処理および復号化処理いずれも）。マクロブロックMB#1～MB#

32の各々は、通常、水平方向16画素および垂直方向16画素に配列される256個の画素を含む。したがって、図29に示す画像は、128画素×64画素で構成される。

【0012】図30は、画像データのビットストリーム（複数ビット幅）の構成（シンタクス）を概略的に示す図である。図30において、ビットストリームは複数のレイヤに分割される。上位から、シーケンスレイヤ、GOP（グループ・オブ・ピクチャ）レイヤ、ピクチャレイヤ、スライスレイヤ、マクロブロックレイヤ、およびブロックレイヤである。

【0013】ブロックレイヤは、DCT係数を含む領域1100aと、ブロックの終了を示すエンド・オブ・ブロック（EOB）を格納する領域1100bを含むブロック1100で構成される。DCT係数データを格納する領域1100aは、DCT処理の単位となる8行×8列の画素のDCT係数データを格納する。このブロック1100において、領域1100aの最終のAC係数が非0係数の場合、領域1100bのエンド・オブ・ブロックは用いられない場合もある。

【0014】マクロブロック1100は、所定数のブロック（6個）1100を含む。ビットストリーム上でのマクロブロックレイヤは、ブロック1100で構成されるデータブロックと、このデータブロックのデータの属性および動きベクトル等を可変長符号化して格納するマクロブロックヘッダ1115を含む。

【0015】スライスレイヤは、画像の走査順に連結される1つまたは複数のマクロブロック1100で構成されるスライス1120を含む。このスライス1120の先頭には、スライスの画面上垂直位置を示す情報およびこのスライスの始まりを示す所定のパターンを有するスタートコードなどの情報が格納されるスライスヘッダ1125が設けられる。このスライスレイヤは、各々に所定のパターンのコードが割当てられたレイヤのうちの最下層のレイヤのため、エラー発生時における再同期化の単位として用いられる。

【0016】ピクチャレイヤは、複数のスライス1120で構成されるピクチャ（画像）1130を含む。このピクチャ1130の先頭に、ピクチャの種類（Iピクチャ、Pピクチャ等）を示す情報およびピクチャの開始を示すスタートコード等の情報が可変長シンボル（可変長符号語）で格納されるピクチャヘッダ1135が配置される。

【0017】GOPレイヤは、複数のピクチャ1130を含むGOP1140を含む。このGOP（グループ・オブ・ピクチャ）1140に含まれるピクチャ1130は、1つ以上のIピクチャと0または複数のPピクチャまたはBピクチャを含む。GOP1140の先頭には、GOPスタートコード、このGOPがそれより以前のGOPの画像データからの参照を必要としな

いことを示すフラグなどの情報を格納するGOPヘッダ1145が配置される。

【0018】シーケンスレイヤは、1つあるいは複数のGOP1140もしくは1つまたは複数のピクチャ1130で構成されるシーケンス1150を含む。このシーケンス1150の先頭部には、画面のフォーマットなどをの情報を格納するシーケンスヘッダ1155が配置される。このシーケンスヘッダ1155は、シーケンス1150に含まれるGOP1140のすべて先頭に配置させることができる（シーケンスの途中からの画像の再生を許容するため）。このシーケンスヘッダ1155には、シーケンスの開始を示す所定のパターンを有するスタートコード、画像の水平および垂直サイズ、ピクチャレート（画像表示速度）、ビットレートおよびその内容などの情報が格納される。

【0019】図31は、ピクチャとスライスとの関係を例示する図である。図31に示すように、1枚の画像を形成するピクチャ1130は、複数のスライス1120を含む。このスライス1120は、任意の長さを有することができ、画面上右端に達すると左端に戻る。

【0020】図32は、マクロブロック1110のデータブロックの構成を示す図である。マクロブロック1110は、マクロブロックを4分割した領域Y1～Y4それぞれに対するDCT係数データを格納する領域1100aa～1100adと、サブサンプリングされた色差信号Cb5およびCb6をそれぞれ含むブロック1100aeおよび1100afを含む。色差ブロック1100aeおよび1100afは、垂直および水平方向にサブサンプリングされているため、4つの輝度ブロック1100aa～1100adと1つの色差ブロック1100ae（または1100af）が画面上で同じ大きさとなる。動き補償は16画素×16画素のマクロブロック1110（MB）を単位として実行され、DCT変換処理は8画素×8画素のブロックを単位として実行される。

【0021】図33は、従来の画像伸張装置の構成の一例を概略的に示す図である。この図33に示す画像伸張装置は、先に図27に示した符号化装置により符号化された画像データを伸張処理してもとの画像データを復元する。

【0022】図33において、画像伸張装置1200は、入来するビットストリーム（複数ビット幅）を受けて外部メモリ1230へFIFO（ファーストイン・ファーストアウト）態様で格納しかつ読出すFIFOインタフェース1210と、FIFOインタフェース1210を介して与えられる画素データをセグメント（マクロブロック）単位で可変長復号処理して固定長データの量子化されたDCT係数データ（量子化インデクス）を生成する可変長符号復号化器1212と、可変長符号復号化器1212から出力されたデータを逆量子化してDC

T係数データを生成する逆量子化器1214と、逆量子化器1214の出力データの配列順序を入れ換えて走査順に配列されたDCT係数データを生成するスキャン変換器1216と、このスキャン変換器1216の出力データに逆直交変換の1つである逆離散コサイン変換を実行する逆離散コサイン変換器1218と、この逆離散コサイン変換器1218の出力する画素データ（差分データ）とメモリインタフェース1224を介して外部メモリ1230から与えられる予測画像画素データとを受けてもとの画素データを復元する画素再構成器1220を含む。

【0023】FIFOインタフェース1210は、メモリインタフェース1224を介して外部メモリ1230へアクセスし、入来するビットストリームをFIFO態様で格納読出することにより、入来するビットストリームのバッファ処理を行ない、入来するビットストリームのビットレートと画像伸張装置1200におけるデータ処理速度との差を解消する。

【0024】可変長符号復号化器1212は、FIFOインタフェース1210を介して与えられるビットストリームから、各レイヤのヘッダを検出し、その検出したヘッダの解析を行ない、該解析結果に従って各ブロック（マクロブロックに含まれるブロック）のデータ処理を実行する。したがってこの可変長符号復号化器1212は、ヘッダの解析機能と、量子化されたDCT係数の可変長符号復号化処理を実行する。この可変長符号復号化処理は、可変長符号化されたランレングスデータから固定長の量子化された量子化DCT係数を復元する処理を含む。

【0025】逆量子化器1214は、この可変長符号復号化器からの量子化されたDCT係数を図示しない量子化テーブル（量子化マトリクス）の量子化データを用いて逆量子化を行なってDCT係数を復元する。この量子化マトリクスは、また可変長符号復号化器1212を介して逆量子化器1214に含まれる量子化テーブルに書込まれることもある。

【0026】スキャン変換器1216は、この逆量子化器1214から与えられる図27に示すジグザグスキャンされたDCT係数データを受け、そのスキャン順序をもとの走査順序に再配列する。逆離散コサイン変換器1218は、スキャン変換器1216から与えられたDCT係数データに逆離散コサイン変換処理を施して予測符号化されたデータを復元する。画素再構成器1220は、可変長符号復号化器からの動きベクトルデータおよびマクロブロック属性データに従って必要とされる予測画像画素データをメモリインタフェース1224を介して外部メモリ1230から読出し、読出した画素データと逆離散コサイン変換器1218から与えられた差分画素データとの加算を行なってもとの画素データを再構成し、もとの画素データを復元して外部メモリ1230へ

メモリインタフェース 1224 を介して格納する。

【0027】この画素再構成器 1220 における処理は、I ピクチャ、P ピクチャおよび B ピクチャそれぞれに応じて異なる。I ピクチャのようにフレーム内符号化を行なう画像の画素データの場合、逆離散コサイン変換器 1218 から与えられた画素データは、画像データそのものであり、予測符号化は行なわれていないため、画素再構成器 1220 は、この逆離散コサイン変換器 1218 から与えられた画素データをメモリインタフェース 1224 を介して外部メモリ 1230 へ書込む。P ピクチャおよび B ピクチャのようなフレーム間またはフィールド間予測符号化が行なわれる画像データの場合、この逆離散コサイン変換器 1218 から画素再構成器 1220 へ与えられた画素データは、既に復号された画像データ（予測画像データ）との差分で与えられる予測誤差信号である。したがってこの場合には、画素再構成器 1220 はメモリインタフェース 1224 を介して外部メモリ 1230 から対応の予測画像画素データと逆離散コサイン変換器 1218 からの画素データと加算し、該加算結果を再びメモリインタフェース 1224 を介して外部メモリ 1230 へ書込む。

【0028】外部メモリ 1230 へ書込まれた画像データはメモリインタフェース 1224 を介してラスト走査順に読出されて画素バスインタフェース 1222 を介して図示しない画像表示制御回路を介して表示装置へ与えられる。

【0029】上述の一連の処理は、符号化時と同様、セグメント単位で実行される。逆量子化器 1214、スキャン変換器 1216、逆離散コサイン変換器 1218 および画素再構成器 1220 は、画像データの処理を高速で行なうためにパイプライン化されている。

【0030】制御回路 1226 は、この外部メモリ 1230 へのアクセスの制御およびパイプラインステージの起動および停止の制御を行なう。

【0031】図 34 は、図 33 に示す外部メモリ 1230 の記憶領域を示す図である。この外部メモリ 1230 は、たとえば DRAM（ダイナミック・ランダム・アクセス・メモリ）を用いて構成され、外部から与えられるビットストリームを FIFO 態様で格納する FIFO 領域 1232 と、画素再構成器 1230（図 33 参照）において予測符号化復号（DPCM 復号）処理に用いられる参照画像画素データを格納する参照画像領域 1234 と、図 33 において図示しない表示制御回路を介して表示装置に表示される表示画像データを格納する表示画像領域 1236 を含む。FIFO 領域 1230 は、一般に、入来するビットストリームのビットレートと画像伸張装置 1200（図 33 参照）におけるデータ処理速度の差を吸収するためのレート調整用のレートバッファと呼ばれる。この FIFO 領域 1232 を用いることにより、入来するビットストリームの伝送レートがほぼ一定

であるのに対し、画像伸張処理における単位時間内に必要とされる符号量が異なる（可変長符号語データを処理するため）のを補償することができる。

【0032】図 35 は、図 33 に示す画像伸張装置の制御に関するタイミングチャートの一例を示す図である。図 35 においては、フレームまたはフィールドのピクチャ単位の動作開始を指示する同期信号であるピクチャ同期信号とセグメント単位の動作開始を指示する同期信号である MB 同期信号が示される。ピクチャ同期信号は、たとえば垂直同期信号であり、図示しない表示制御回路から図 33 に示す制御回路 1226 へ与えられる。制御回路 1226 は、このピクチャ同期信号に同期して MB 同期信号を出力する。ピクチャ同期信号の周期は、復号後の画像データ（図 32 に示す画素バスインタフェース 1222 を介して読出される画素データ）の表示装置上の表示レートで決定される一定値を有する。この表示レートは、MPEG においてはレベルにより決定される。「レベル」には、水平画素数・垂直画素数・フレーム周波数の最大値が規格化されている。1つのピクチャにおいては、分割されるマクロブロックの数は予め決定される。ピクチャ同期信号サイクル内でアサートされる MB 同期信号の数は、したがってピクチャの画素数すなわちマクロブロックの数で決定される。この MB 同期信号は、図 33 に示す制御回路 1226 から画像伸張装置 1200 の各回路へ与えられて、各回路がそれぞれ所定の処理動作を実行する。

【0033】図 36 は、セグメント単位の処理区間内に行なわれる処理を示すタイミングチャート図である。図 36 においては、画像伸張装置をデコーダとして示す。MB 同期信号に同期してこの画像伸張装置（デコーダ）の動作が起動される。可変長符号復号化器 1212（図 33 を参照）が MB 同期信号に同期して活性化されて、FIFO インタフェース 1210 を介して与えられたビットストリームからヘッダを検出して解析し、次に実行すべき処理を決定する。次いでこのヘッダ解析により決定された処理動作に従ってマクロブロックの各ブロックの実データ分の復号（ブロックデータの復号と以下称す）が行なわれる。

【0034】このデコーダにおける復号動作と並行して、外部メモリへのアクセス動作が実行される。すなわち、図 34 に示す FIFO 領域 1232 へのビットストリームの書込、復号処理されるべきビットストリームの FIFO 領域 1232 からの画素データの読出、復号された画像データの参照画像領域 1234 または表示画像領域 1236（B ピクチャは参照画像としては用いられない）への書込、画像データの表示のための外部メモリの表示画像領域 1236 からのデータの読出、および画素再構成器における予測符号化復号処理に用いられる予測画像の読出を含む。

【0035】図 36 においては、1つのマクロブロック

の処理動作を併わせて示す。ここで、以下の説明において、「セグメント」は、複数のブロックを含むマクロブロックと、このマクロブロックの属性データを含むマクロブロックヘッダ両者を含み、「マクロブロック」は単に複数のデータブロックを含むものとする。

【0036】ヘッダ解析部においては、セグメントのヘッダ部分の解読を行ない、以後に実行されるべき処理の決定および処理されるべきマクロブロックの属性を決定する。このマクロブロックのヘッダ部分の解読の後、マクロブロックの各ブロックの輝度信号(Y信号)の復号化および色差信号CbおよびCrの復号化が行なわれる。このときまた並列に、マクロブロックヘッダ部分の解読により与えられた動きベクトルから動きベクトルを再構成する演算が行なわれる(Bピクチャの場合複数の動きベクトルが用いられる)。このデコーダの復号動作の一例は、たとえばISSCC94、ダイジェスト・オブ・テクニカル・ペーパーズの第72頁ないし第73頁の「シングル・チップMPEG2ビデオ・デコーダLSI」の図2においてデムラ等により示されている。し*

```
0000 0000 0000 0000 0000 0000 0001 0000
0000
```

を有し、またシーケンスレイヤの始まりを示すスタート※ ※コードは、パターン

```
0000 0000 0000 0000 0000 0000 0001 10110
0011
```

を有する。上述のスタートコードにおいて上位24ビット(3バイト)がプリフィクスであり、下位1バイトがレイヤスタートコードである。

【0039】MPEG2規格においては、マクロブロックレイヤより上位のレイヤでは、スタートコードに続いてヘッダ情報が配置される。マクロブロックレイヤにはスタートコードは配置されない。これらのヘッダ情報は固定長データであるが、その詳細説明は省略する。マクロブロックレイヤのヘッダ(マクロブロックヘッダ)は、可変長符号化された情報を含む。

【0040】図38は、マクロブロックヘッダの構成の一例を示す図である。図38において、マクロブロックヘッダ1350は、マクロブロックの画面上の位置を示す情報(マクロブロックアドレス)およびスキップされるべきマクロブロックの数(マクロブロックアドレスインクリメント)を格納するマクロブロックアドレス領域1352と、マクロブロックの処理方法を示すマクロブロックタイプを格納する領域1354と、マクロブロックの動きベクトルを格納する領域1356と、Iピクチャ以外のマクロブロックの各ブロックがDCT係数データを含むか否かを示すCBP(Coded Block Pattern)を格納するCBP領域1358を含む。

【0041】マクロブロックアドレスインクリメントによりスキップされるマクロブロックは、たとえばPピクチャについては、動き補償をされないマクロブロックにおいて、DCT係数の符号(コード)を持たないタイ

*たがって、この処理の場合、ヘッダ解析に要する時間が、このヘッダ部の長さにおいて異なるため、MB同期信号の期間すなわち1処理区間の時間長さは各処理区間ごとに異なる。

【0037】

【発明が解決しようとする課題】画像伸張装置において、ビットストリームはセグメント単位で処理される。ブロックレイヤを除く各レイヤの先頭には、図30に示すように、ヘッダが付される。このヘッダの先頭部には、レイヤの始まりを示すスタートコードが配置される。このスタートコードは、図37に示すように、バイト単位で配置される32ビット幅を有する。

【0038】図37において、スタートコード1300は、スタートコードであることを示す所定のパターンを有する3バイトのプリフィクス1310と、各レイヤに固有のパターンを有する1バイトのレイヤスタートコード1320を含む。たとえば、MPEG2のピクチャレイヤの始まりを示すスタートコードの場合、パターン

のマクロブロックである。領域1354に格納されるマクロブロックタイプは、このマクロブロックが、フレーム内/フィールド内予測符号化されているか否か、動き補償されているか否かなどの情報を含む。

【0042】動きベクトル領域1356には、動き補償予測される場合の動きベクトルが格納される。Iピクチャの場合には、動きベクトル領域1356には、動きベクトルが格納されない。またPピクチャでは、その予測方式(フレーム予測符号化の場合の奇数フィールド(トップフィールド)および偶数フィールド(ボトムフィールド)予測符号方式に従った動きベクトルを用いることができる。同様にBピクチャについてもその予測方式に従って用いられる動きベクトルの数は異なる。したがって、この動きベクトル格納領域1356のビット幅はセグメントごとに異なる。CBP領域1358は、各ブロックがDCT係数データを含むか否かを示し、したがって、このCBP領域1358に格納された情報がDCT係数データを含まないことを示すブロックはそのデータ伝送においては存在しないことになる。

【0043】このマクロブロックヘッダの各領域1352、1354、1356および1358に含まれる情報は、すべて可変長符号語(可変長シンボル)で表現される。したがって、マクロブロックヘッダ1350の情報をすべて解析するのに要する時間は、マクロブロックの属性(処理方法、動きベクトルの数等)に応じて異なる。

【0044】マクロブロックヘッダ1350の各情報を解析することにより、このマクロブロックヘッダ1350に続くマクロブロックに対してどのような処理を行なうかを決定することができる。従来は、図36に示すように、MB同期信号(MBSYNC)に同期してマクロブロックヘッダ1350の情報の解析を開始し、このマクロブロックヘッダ1350の情報をすべて解析した後、初めてマクロブロックデータの復号化処理を行なっている。すなわち、MB同期信号(MBSYNC)がアサートされてからマクロブロックヘッダ1350の情報がすべて解析されるまで、図33に示す、可変長符号復号化器1212の符号復号部、逆量子化器1214、スキャン変換器1216、逆離散コサイン変換器1218および画素再構成器1220は、動作停止状態とされ、マクロブロックヘッダ情報がすべて解析されたとき初めてこれらの演算処理器が動作状態とされる。ここで、図39において、マクロブロックMB#A、MB#B、MB#Cそれぞれのヘッダ解析が時刻Ta、TbおよびTcにおいて完了し、次いでブロックデータの復号が行なわれる状態が一例として示される。

【0045】したがって、図39においてたとえばマクロブロックMB#Cのようにヘッダ解析に長時間を要する場合、可変長符号復号化部以降の演算処理器の動作停止時間が長くなり、応じて演算処理器の使用効率が低下し、高速で画像データの復号処理を行なうことができなくなるという問題が生じる。

【0046】このような処理演算器の使用効率の低下を防止するために、演算処理をパイプライン化することが考えられる。

【0047】図40は、一例として逆量子化器から画素再構成器までの各処理演算器の各段をパイプライン化した構成を概略的に示す図である。この図40に示す構成においては、MB同期信号MBSYNCのアサートごとに、ヘッダ解析および可変長復号されたデータがパイプラインへ投入される。パイプラインステージにおける逆量子化ステージ、スキャン変換ステージ、逆DCTステージおよび画素復号ステージは、それぞれ与えられたデータをパイプライン態様で処理する。

【0048】セグメント(マクロブロックヘッダおよびマクロブロック)MB#Aのヘッダ解析および可変長復号処理が終了し、次のMB同期信号MBSYNCがアサートされると、このマクロブロックMB#Aの各ブロックデータがパイプラインへ投入されて順次処理される。

【0049】次のセグメントMB#Bのヘッダ解析に長時間を要した場合、マクロブロックMB#Aの各ブロックのデータの処理が終了しても、まだこのマクロブロックMB#Bのブロックのデータはパイプラインへ投入されないため、パイプラインステージに空きが生じ、パイプライン利用効率が低下する。

【0050】セグメントMB#Bのヘッダ解析およびマ

クロブロックの各ブロックのデータの可変長復号化が終了すると、次のMB同期信号MBSYNCのアサートに従ってマクロブロックMB#Bの可変長復号語のデータがパイプラインステージに投入される。

【0051】次に与えられるセグメントMB#Cのヘッダの解析が短時間で終了し、応じてマクロブロックの各ブロックのデータの可変長復号処理も速く終了した場合、このマクロブロックMB#Cの可変長復号処理終了に従って次のMB同期信号MBSYNCがアサートされる。このとき、パイプラインの逆量子化ステージにおいてマクロブロックMB#Bの各ブロックのデータの処理が終了していない場合には、マクロブロックMB#Bの各ブロックのデータの処理中に次のマクロブロックMB#Cのブロックデータが投入され、マクロブロックMB#Bの各ブロックのデータとマクロブロックMB#Cのブロックのデータが混在して処理が行なわれることになり、正確なデータ処理を行なうことができず、データ処理(伸張処理)に破綻が生じる。したがって、大きなパイプラインを導入することができず、パイプライン化による処理演算器の使用効率改善にも限度がある。

【0052】動画データ、特に、HDTV(高解像度テレビジョン)などの画面サイズの大きな画像のデータを処理する画像伸張装置においては、大量のデータを高速で処理する必要があり(フレームまたはフィールドの周波数すなわちこのピクチャ同期信号の周期は、伸張処理後の画像データの表示速度で決定される)、またその伸張処理過程での処理演算器(たとえば逆DCT変換器)での演算量も極めて大きい。したがって、処理演算器の使用効率の低下を補償して高速データ処理を実現するためには、各処理演算器の動作速度を速くする(処理動作速度を決定するクロック信号の周波数を高くする)必要が生じ、処理演算器の構成要素のオンおよびオフならびに信号線の充放電の単位時間あたりの回数が増大し、応じて消費電流が増大するという問題が生じる。

【0053】また、別の方法として、複数の処理演算器を並列に設け、これら複数の処理演算器を同時に並列に動作させることにより使用効率の低下を補償することも考えられる。この場合、素子数が増大し、装置規模が増大するという問題が生じる。

【0054】画像伸張処理過程において、たとえば外部制御装置からの割込処理が生じた場合、その割込完了後画像伸張装置を初期化する必要が生じる。このとき、割込された処理から再び処理を再開すると、画像(ピクチャ)の途中から表示が行なわれることになり、以後の画像(ピクチャ)の処理と表示装置の表示との同期が取れなくなる場合が生じる。すなわち、初期化後すぐに最初の画像表示をピクチャ同期信号(たとえば垂直同期信号)と同期して実行すれば、以後、同期のずれた画像が表示される(画像(ピクチャ)の境界が画面上に表示される)。MP EG規格では、シーケンスレイヤに

10

20

30

40

50

において、GOP（グループ・オブ・ピクチャズ）の先頭にシーケンスヘッダを配置し、任意のGOPから再生可能としている。しかしながら、このような画像伸張処理過程のリセット時（初期化時）に実行すべき処理については何ら述べていない。また、先行技術もこのような画像伸張処理の初期化の動作については述べていない。

【0055】それゆえ、この発明の目的は、効率的に画像データの伸張処理を実行することのできる画像伸張装置を提供することである。

【0056】この発明の他の目的は、効率的に動作するパイプラインステージを備える画像伸張装置を提供することである。

【0057】この発明のさらに他の目的は、処理演算器の使用効率の優れた画像伸張装置を提供することである。

【0058】この発明のさらに他の目的は、リセット時（初期化時および再同期化時）に確実に処理効率を低下させることなくピクチャの最初のマクロブロックから処理を実行することのできる画像伸張装置を提供することである。

【0059】

【課題を解決するための手段】請求項1に係る画像伸張装置は、入来するビットストリームを受け、セグメントのヘッダの情報を解析するヘッダ復号手段と、このヘッダ復号手段からのセグメントのヘッダ情報の解析完了を示す信号にตอบสนองしてデータ処理開始指示信号を発生する制御手段と、このデータ処理開始指示信号にตอบสนองして起動され、セグメントのヘッダに続くデータブロックに予め定められた処理を実行するデータ処理手段とを備える。ヘッダ復号手段は、データブロックに続いて与えられるヘッダのデータを連続して解析し、これにより1つの処理区間は、データブロックの処理に始まってヘッダの解析で終了する。

【0060】請求項2に係る画像伸張装置においては、各処理区間の時間期間はヘッダ解析結果に従って変更可能とされる。

【0061】請求項3に係る画像伸張装置は、請求項1に係る画像伸張装置の構成において、圧縮処理された動画像データが予測符号化処理を受けた画素データからなり、データ処理手段は、データブロックのデータを圧縮処理と逆の伸張処理をしてもとの画素データを復元する手段を含み、この請求項1の制御手段が、データ処理開始指示信号にตอบสนองしてメモリ装置へのデータ処理手段からの復元された画素データの格納、入来するビットストリームのメモリ装置への書込、メモリ装置からの復元された画素データのうちの表示すべき画素データの読出、およびデータ処理手段における画素データの復元に必要とされる予測画像画素データの読出を順次所定の順序で実行する手段を含む。

【0062】請求項4に係る画像伸張装置は、与えられ

たビットストリームからセグメントのヘッダを検出し、このヘッダ情報の解析を行なう解析手段を含む。この解析手段は、ヘッダ情報のすべての解析完了を示す信号を発生する手段を含む。

【0063】請求項4に係る画像伸張装置は、さらに、セグメントのヘッダに続くデータブロックのデータを可変長復号処理して固定長符号データを生成する手段を含み、解析手段の解析結果に従ってデータブロックのデータを圧縮前の画素データに復元するデータ処理手段と、解析手段および可変長復号手段のいずれかの処理においてエラーが検出されたとき、そのエラーを示すエラー検出信号を発生するエラー検出手段と、このエラー検出信号にตอบสนองして入来するビットストリームから予め定められたパターンを有するスタートコードを検出するコード検出手段と、コード検出手段からのコード検出信号にตอบสนองして、解析手段を活性化する活性化手段と、エラー検出手段の活性化時解析手段からの解析完了指示信号にตอบสนองして、所定の条件が満足されるまでデータ処理手段の活性化を待ち合わせる手段とを備える。

【0064】請求項5に係る画像伸張装置は、請求項4のデータ処理手段が、セグメントの処理区間を処理単位としてパイプライン的に処理動作する複数段のパイプラインステージを含む。

【0065】請求項6に係る画像伸張装置は、請求項5のパイプラインステージが、予測画像画素データのメモリからの読込、データブロックの直交変換係数の可変長符号化およびその逆量子化を行なう第1のパイプラインステージと、読込まれた予測画像画素データからの予測画像の作成を行なう第2のパイプラインステージと、逆量子化されたデータの逆直交変換処理および画素データの復元を行なう第3のパイプラインステージと、復元された画素データのメモリへの書込を行なう第4のパイプラインステージとを含む。

【0066】請求項7に係る画像伸張装置は、請求項5記載の画像伸張装置がさらに、エラー検出信号にตอบสนองして、このエラーが検出されたセグメントよりもデータ処理手段における処理の順序において前に位置するセグメントのデータブロックに所定のエラー修復処理をパイプラインステージにおいて施す手段を備える。

【0067】請求項8に係る画像伸張装置は、画像伸張処理の初期化を要求するリセット要求信号にตอบสนองして、処理起動信号を生成する制御手段と、前記制御手段からの処理起動信号にตอบสนองして、予め定められたパターンを有するスタートコードを入来するビットストリームから検出するコード検出手段と、このエラー検出時、コード検出手段のコード検出信号にตอบสนองして、入来するビットストリームからセグメントを検出して、そのヘッダの情報を解析し、そのヘッダ情報のすべての解析が完了したことを示す信号を発生するヘッダ解析手段と、このヘッダ解析完了指示信号にตอบสนองして、所定の条件が満足され

るまで、このセグメントのデータブロックの処理を行なうデータ処理手段の動作を停止させる手段とを備える。

【0068】請求項9に係る画像伸張装置は、この請求項8の画像伸張装置における所定の条件が、外部から与えられる画像の開始時点を示す同期信号の印加である。

【0069】

【作用】請求項1に係る画像伸張装置においては、データブロックの復号に続いてヘッダの解析を行ない、このヘッダの解析がすべて完了した後にデータ処理開始を指示している。1つの処理区間はデータブロックの処理に始まりヘッダの解析で終了する。データ処理開始が指定されるとデータ処理手段は即座に処理を実行する。したがって処理演算器の停止期間が短くなり、処理演算器の使用効率が高くなる。また、処理演算器の待機時間が短くなるため、1処理区間の時間期間を短くすることができ、高速処理を実現することができる。

【0070】請求項2の画像伸張装置においては、処理区間の時間期間をヘッダの解析結果に従って変更されるために、処理対象となるセグメントの属性に応じて処理区間の時間期間を変更することができ、最適な処理区間の時間期間を設定して効率的に処理演算器を動作させることができる。

【0071】請求項3に係る画像伸張装置においては、制御手段によりデータブロックのデータの復号処理と並行してメモリへのアクセスが順次実行される。特に、復元データの書込、入来ビットストリームの書込、予測画像画素データの読出、およびビットストリームの読出を順次行なうことにより、データ処理手段によるパイプライン処理に必要とされるデータの破壊を伴うことなくデータ処理手段へ供給しかつそのデータ処理手段からのデータを格納し、かつ表示に必要なデータを表示制御装置へ与えることができる。

【0072】請求項4に係る画像伸張装置においては、ヘッダ解析過程または可変長復号過程においてエラーが発生したとき、所定のパターンを有するスタートコードを検出、このスタートコードに続くセグメントのヘッダを解析して解析完了後所定の条件が満足されるまで、その解析されたヘッダに続くデータブロックの処理を待ち合せている。エラー発生時においても、所定のセグメントから処理を開始し、この処理開始時においても処理区間がデータブロックの処理から始まるため、エラー回復後の処理開始時においても演算処理器の使用効率の低下を抑制することができる。また処理区間がデータブロックの復号処理から始まる規則性を維持することができる。

【0073】請求項5に係る画像伸張装置においては、セグメントの処理区間を1処理単位としてパイプラインを構成しているため、各パイプラインの処理演算器の使用効率を高くすることができ、高速データ処理を実現することができる。

【0074】請求項6に係る画像伸張装置においては、パイプラインステージは処理内容に応じて4段で構成され、処理区間の変動に対しても最小の処理演算器の待ち時間でパイプライン動作が可能であり、高速データ処理を実現することができる。また、ヘッダの解析と並行してデータの復号処理を行なうことができ、高速にデータ処理を行なうことができる。

【0075】請求項7に係る画像伸張装置においては、エラー発生時にパイプラインステージの遅延を利用することにより、エラーが検出されたセグメントより処理順序で前のセグメントからエラー修復動作を行なうことができ、より正確なエラー修復動作を実現することができる。

【0076】請求項8に係る画像伸張装置においては、リセット要求時に所定のパターンを有するスタートコードを検出し、そのスタートコードに続くセグメントのヘッダを解析して以降の処理を所定の条件成立まで停止する。リセット要求時においても確実に所望の位置のセグメントのマクロブロックから処理を開始することができる。

【0077】請求項9に係る画像伸張装置においては、画像の開始を示すピクチャ同期信号に同期してデータ復号処理を開始しており、リセット時において外部からの同期信号と同期して確実にピクチャの開始からセグメントのデータブロックのデータの復号処理を行なうことができる。

【0078】

【実施例】図1は、この発明に従う画像伸張装置における可変長復号部の1処理区間の動作を示す図である。可変長符号復号部（以下、デコーダ（VLD）と称す）の1処理区間PS1は、マクロブロックの各ブロックのデータの復号を行なう復号期間PS2と、この復号期間PS2に続くヘッダ情報の解析を行なう期間PS3を含む。復号期間PS2は、MB同期信号MBSYNCのアサートにตอบสนองして開始され、この期間PS2で、量子化インデックスを元にした可変長シンボル群からなるブロックデータの復号が行なわれる。ヘッダ解析期間PS3では、次の処理区間で復号されるヘッダ部分の情報（シーケンスヘッダ、ピクチャヘッダがマクロブロックヘッダに加えて含まれる場合もある）がすべて解析される。解析期間PS3の完了後、すなわち、次のマクロブロックヘッダのすべての情報の解析完了後は、所定の条件が成立するまで次の処理区間PS1の開始すなわち次のマクロブロックのブロックのデータの復号処理開始が待ち合せられる。ここで図1においては、解析期間PS3の完了時点において続いて次のマクロブロックのブロックデータの復号が行なわれるように示される。しかしながらこの解析期間PS3の時間期間は、ヘッダ情報に応じて変動する。復号ブロックデータ（マクロブロックの各ブロックのデータ）の復号処理は、固定時間内で終了す

る。マクロブロックの各ブロックのデータは可変長符号化されており、符号長は異なる。この可変長符号のデコードを、たとえば1シンボル/1クロックサイクルの速度で行なえば、マクロブロックの各ブロックの画素数は8画素×8画素であり、1ブロックあたりの最大の数は64個である。したがってこの復号期間PS2の時間期間を上述のように設定した場合、固定時間長とすることができる。1シンボル/1クロックサイクルの割合で可変長符号を行なう場合において、ランレングスデータを復号し、この復号されたランレングス情報に従って順次各ブロックのDCT係数が求められる。したがって、この場合、ラン・レングス・デコードに要する時間の最大値は予め定めることができ、このラン・レングス・デコードに要する時間を予め一定に設定しておけば、デコードされたランレングス情報から1クロックあたり1画素の割合でブロックのDCT係数データを求める構成とすれば、同様この場合においても、時間期間は固定とされる。ラン・レングスデコードに要する時間が変動する場合において、復号期間PS2の時間期間が変動する構成とされる場合においても、そのブロックデータの復号に要する時間期間は一定の時間（最大の復号時間程度）以内に抑えることができる。デコーダ(VLD)からは固定長のDCT係数(量子化インデクス)が出力される。

【0079】図1に示す処理期間の構成に従えば以下の利点が得られる。MB同期信号MBSYNCに同期してマクロブロックのブロックのデータの復号が行なわれる。したがって、画像伸張装置に含まれる各演算器がヘッダ解析完了後待つことなく動作を開始することができる。したがって、この逆量子化器、可変長復号化器、スキャン変換器、逆離散コサイン変換器および画素再構成器が待合せることなく処理を開始することができ(パイプライン化されているとき特に)、画像伸張装置の各種演算器の使用効率を改善することができる。

【0080】また復号領域PS2および解析領域PS3の時間期間は、画像伸張装置に含まれる各処理演算器を後に説明するようにパイプライン的に動作させることにより、大幅に短くすることができる。

【0081】図2は、処理区間の構成を具体的に示す図である。図2(A)においては、1処理区間の復号領域PS2は、可変長符号を可変長復号処理して固定長の量子化DCT係数を生成する可変長復号処理(VLD)、この可変長復号されたDCT係数データの逆量子化処理(IQ)、逆量子化されたDCT係数のスキャン順序の変換を行なうスキャン変換処理、スキャン変換された処理の逆離散コサイン変換処理(IDCT)、およびこの逆離散コサイン変換後の画素データから元の画素データを復元する画素復元処理(DPCM)を含む。この図2(A)においては、処理区間における復号領域2の時間期間は、各処理演算に要する時間の合計となる。

【0082】図2(B)はこの復号領域2に含まれる各

処理をパイプライン的に実行する場合の構成の一例を示す図である。可変長復号処理(VLD)が完了すると、可変長符号復号器においては、ヘッダ情報の解析を行なうことが可能となる。したがって、この図2(B)に示すような逆量子化処理(IQ)、スキャン変換処理(バッファメモリへのアドレス変換を伴うデータのライト・リード)、逆離散コサイン変換処理(IDCT)および画素復元処理(DPCM)の処理と並列に、次のセグメントのヘッダ情報の解析を行なうことができる。したがってパイプライン態様で処理を行なうことにより復号領域PS2の時間期間の短縮と、このパイプライン化によるヘッダ情報解析とブロックデータの復号との並列処理による解析領域PS3の時間期間の短縮を実現することができ、1処理区間の時間期間を大幅に低減することができ、高速演算処理(伸張処理)を実行することができる。このパイプライン化の構成については後に再度詳細に説明する。

【0083】この発明に従う画像伸張装置の概略外部構成は図33に示す構成と同じである。可変長復号化器1212および制御回路1226の内部構成が異なる。この構成については後に詳細に説明する。

【0084】図3は、1処理区間における、デコーダ(画像伸張装置)の動作と外部メモリ装置(DRAM)のポートの動作を示す図である。図3において、画像伸張装置(デコーダ)において、MB同期信号MBSYNCのアサートに応答して、セグメントのブロックのデータの復号が開始される。このブロックデータの復号が完了すると、次のセグメントのヘッダ情報の開始が行なわれる。ヘッダ情報の解析が完了するとちょうど1処理単位時間期間が終了しており、次のセグメントのマクロブロックのブロックデータの復号が開始されている。

【0085】一方、DRAMに対しては、まずMB同期信号MBSYNCのアサートに応答して、先の処理単位時間期間で復号された画素データの書込が行なわれる。次いで、外部から与えられるビットストリームが図32に示すFIFOインタフェース1212を介して予め定められた時間期間の間に書込まれる。このDRAMポートへのビットストリームの書込(レートバッファへの書込)が完了すると、次いで表示用の画像データが読出される。この表示用の画像データ(たとえばマクロブロックの画素データ)の読出が完了すると、次いで予測符号化された画素データの復元に用いられる予測画像データの読出が行なわれる。この予測画像データの読出においては、Bピクチャの場合には、たとえば、内挿予測の場合、時間的に前および後の2つのピクチャの画像データが読出される。したがって、この予測画像データの読出においては、復号されるブロックデータの符号化モードに応じて異なる。

【0086】予測画像データの読出が完了すると、次いで、処理されるべきビットストリームの読出が行なわれ

る（レートバッファの読出）。このレートバッファの読出においては、読出されるデータの量は予め設定される。レートバッファの読出を行なう処理単位におけるヘッダ情報の解析に用いられるビットストリームおよび次の処理単位において復号処理されるセグメントのブロックデータが、後に説明する可変長符号復号化器に含まれるバッファに準備されることが必要とされる。各処理単位区間においてレートバッファからビットストリームの読出を行なうことにより、対応の処理区間におけるヘッダ解析に用いられるビットストリームおよび次の処理単位において用いられるブロックデータの可変長符号復号化器に含まれるバッファメモリ内への格納（プリフェッチ）を保証することができる。

【0087】このレートバッファの読出の後、DRAMリフレッシュが行なわれ、外部メモリ装置であるDRAMの記憶するメモリデータのリフレッシュが実行される。DRAMポートの動作において1処理単位時間内で以上の動作が順次実行される。この図3に示す動作シーケンスにおいては、DRAMリフレッシュ動作完了後、次の処理区間が始まるまで、何らアクセスはされず、DRAMポートは空き状態となる。なお、DRAMリフレッシュは、1処理区間において最後に行なわれるように示される。しかしながら、このDRAMリフレッシュは、1処理単位の区間において、適当なタイミングで実行されればよい。

【0088】図4は、1処理区間における、画像伸張装置およびDRAMポートの動作の別のシーケンスを示す図である。図4においては、MB同期信号MBSYNCのアサートに同期して、画像伸張装置（デコーダ）においては、図3に示すシーケンスと同様、ブロックデータ（マクロブロックの各ブロックのデータ）の復号が行なわれ、次いで復号完了後、次のセグメントのヘッダ情報の解析が行なわれる。図4に示すシーケンスにおいては、ヘッダ情報の解析が完了しても、次のセグメントのブロックデータの復号の処理の開始は待合せられる。

【0089】一方、DRAMポートにおいては、MB同期信号MBSYNCのアサートに同期して、復号済みデータの書込、レートバッファへの書込、表示用画像データの読出、予測画像データの読出およびレートバッファの読出が順次実行される。レートバッファの読出の前に、DRAMリフレッシュが実行される。このDRAMリフレッシュは、先に述べたように、1処理区間で任意のタイミングで実行可能である。レートバッファの読出が完了することにより、1つの処理区間が完了する。この1つの処理区間の完了に回答して、次のセグメントのブロックデータの復号開始を示すためにMB同期信号MBSYNCがアサートされる。ヘッダ情報の解析が行なわれてから次のブロックデータの復号の開始までの間の空き時間については後に詳細に説明する。

【0090】この1処理区間内においてDRAMポート

に対し、所定の順序で復号済みデータの書込、レートバッファの書込、表示用の画像データの読出、予測画像データの読出、およびレートバッファの読出を行なうことにより、DRAMのアクセスにおいて、このアクセスの優先順位を判別する必要がなく、DRAMへのアクセスを調整するためのバスアービタを設ける必要がなく、装置構成が簡略化される。

【0091】また、1処理区間の最初に復号済みデータの書込を行なうことにより、後に詳細に説明する画像伸張装置の演算器のパイプライン構成に対応することができる。また、先に復号済みデータの書込を行なうことにより、続いて実行される表示用画像データの読出に必要とされる画像データをDRAMに準備することができる。すなわち、Bピクチャの場合、復号済みデータがすぐに表示される（Bピクチャは予測画像としては用いられない）。復号済みデータの書込に続いてレートバッファへのビットストリームの書込を行なうことにより、DRAMの動作モード（書込モード／読出モード）を変更することなく、また外部から与えられるビットストリームに遅延を生じさせることなくレートバッファへビットストリームを書込むことができる。表示用画像データの読出を予測画像データの読出よりも先にすることにより、外部に別に設けられた表示制御装置の動作を待合せる必要がない。すなわち予測画像データの読出では、このセグメントの処理方法（予測符号化）に応じて読出される予測画像の数が異なる。したがって、予測画像データの読出の完了時点は各画像により異なる。したがって、1処理区間内において終了時点の変動する予測画像データよりも先に表示用の画像データを読出すことにより、1処理区間内においてほぼ同じタイミングで表示用画像データを表示制御装置へ与えることができ、表示制御装置の使用効率が損なわれることはない。

【0092】レートバッファからのビットストリームの読出を処理区間の最後に行なうのは、次の処理区間におけるブロックデータ復号処理およびヘッダ解析に必要なとされるビットストリームを可変長符号復号化器（1212、図33参照）へ供給することが要求されるだけであり、1処理区間の最後に実行しても何ら問題は生じない。予測画像データの読出をレートバッファの読出よりも先に実行するのは、画像伸張装置のパイプライン構成において、確実に予測画像データを画像伸張装置の画素再構成器に設けられたバッファメモリへ読込み、続いて次の処理区間の開始に同期して予測画像を生成する演算処理を確実に実行することができるようにするためである。

【0093】またこのMB同期信号MBSYNCに同期してDRAMポートのアクセスを開始する構成とすることにより、予測画像データの読出タイミングを予め予測することができ、バス制御が容易となる（DRAMへのアクセス制御は後にその構成は詳細に説明するが図32

10

20

30

40

50

に示す制御回路 1 2 2 6 により行なわれる)。すなわち先にヘッダ情報を解析することにより、マクロブロックのタイプおよび画面上の位置を知ることができる。D R A M はフレームメモリの構成を備える。したがって先にヘッダ情報を解析しておくことにより、復号済みデータの書込および表示用の画像データの読出におけるロウアドレスの変化などを予め予測することができ、応じてこれらの復号済みデータの書込および表示用画像データの読出に要する時間を予測することができ、応じて予測画像データの読出タイミングを予測することができる。これにより、図 3 2 に示すメモリインタフェースの制御と画素再構成器における予測画像データの読込動作との調整を行なうこともできる。

【0094】図 5 は、クロックサイクルを単位としてパイプラインを構成する逆量子化器の構成を概略的に示す図である。この逆量子化器 1 2 1 4 は、可変長復号された固定長データからなる量子化 D C T 係数データを入力バス A 1 0 1 を介して受けかつ各ブロック（マクロブロックの各ブロック）の始まりを示す入力同期信号を信号線 A 1 0 3 を介して受け、パイプライン態様で逆量子化処理を行なって、出力バス A 1 0 2 から D C T 係数データを出力しかつ信号線 A 1 0 4 を介してその出力データのブロックの始まりを示す出力同期信号を出力する。

【0095】逆量子化器 1 2 1 4 においては、固定長符号に変換された量子化 D C T 係数それぞれに対し、予め準備された量子化テーブルを用いて量子化時と逆の演算（たとえば、量子化テーブルの対応の係数で乗算をする；量子化のときに量子化テーブルの対応の係数で割算されているとき）処理が行なわれる。このとき、乗算処理がパイプライン的に実行される。一般に、図 6 に示すように、V L D、I D C T および D P C M 処理ステージに較べて、この逆量子化器 1 2 1 4 は、1 2 8 段余分のパイプラインを備える。したがって、図 6 に示すように、入力同期信号が信号線 A 1 0 3 を介して与えられて順次入力バス A 1 0 1 を介してデータが与えられると、逆量子化処理を施されたデータは 1 2 8 サイクル経過した後に出される。この逆量子化器 1 2 1 4 へ与えられる入力データは、図 3 3 に示す可変長符号復号器 1 2 1 2 から与えられる。この逆量子化器 1 2 1 4 からの出力バス A 1 0 2 へ現われる出力データがすべて出力されるまでに、または、図 2 (B) に示すように、スキャン変換器を介して逆 D C T 器へ与えられるまでに入力データは、それより少なくとも 1 2 8 サイクル前に終了する。したがって、この間ヘッダ解析のために可変長符号復号器を利用することができる。したがってこの逆量子化器以降の処理とヘッダ解析とを並行して実行することができる（図 2 (B) 参照）。

【0096】図 7 は、画像伸張装置のために他のパイプライン態様を示す図である。図 7 に示す画像伸張装置においては、M B 同期信号 M B S Y N C に同期して 4 段の

パイプラインによりパイプライン処理が実行される。図 7 において、第 1 段目のパイプラインにおいては、予測画像の D R A M からの読出、D C T 係数の可変長復号処理（固定長 D C T 係数データの生成）、および逆量子化処理が行なわれる。この D R A M からの予測画像データの読出においては、先の処理区間において解析されたヘッダ情報から動きベクトルが抽出され、この抽出された動きベクトルに従って D R A M から予測画像データの読出が行なわれる。

10 【0097】第 2 段目のパイプラインステージは、この D R A M から読出された予測画像データのフィルタ処理が行なわれる。この予測画像のフィルタ処理では、予測精度が分数精度の場合における複数の予測画像の内挿による合成（平均化）が行なわれる。内挿予測の B ピクチャの場合には、時間的に前後する 2 つのピクチャの画像データの合成が行なわれる（各時間的距離に従った重みをつけて画像データを合成する）。これにより、予測画像データの生成が行なわれる。

20 【0098】第 3 段目のパイプラインステージは、逆離散コサイン変換処理（I D C T）および予測差分符号の復号処理（D P C M 復号）が行なわれる。I D C T 処理においては、逆量子化処理（I Q）を受けた D C T 係数データの逆離散コサイン変換処理が実行される。D P C M 復号処理過程においては、I D C T 処理により生成された画素データと、予測画像フィルタ処理により生成された予測画像データとの予測差分符号化（両者の加算）が行なわれ、元の画素データが生成される。このマクロブロックが I ピクチャの場合には、I D C T 処理されたデータが元の画素データに対応する（D C 予測を行っていない場合）。この D P C M 復号処理されて復元された画素データは画像伸張装置に含まれるバッファへ書込まれる。

30 【0099】4 番目のパイプラインは、この復号画像データの D R A M の書込である。すなわちバッファから D R A M の書込が行なわれる。

40 【0100】この画像伸張装置のヘッダ解析以後の処理をセグメント（マクロブロック）単位でパイプライン化することにより、処理単位の時間期間を大幅に短縮することができる。図 7 においては、したがって M B 同期信号 M B S Y N C のアサートされる間隔を 1 処理区間とすると、1 つのマクロブロックのブロックデータが復号されるために 4 処理区間が必要とされる。この各処理区間において、ヘッダ情報の解析が実行される。図 7 においては、一例としてデジタル N T S C 信号（有効画素数 7 2 0 / ライン、4 8 0 ライン / フレーム）をフレームごとに 1 6 × 1 6 画素からなるマクロブロック単位で処理する場合の動作シーケンスを示す。第 1 のマクロブロック M B # 1 から第 1 3 5 0 番目のマクロブロック M B # 1 3 5 0 までの処理が 4 段のセグメント単位のパイプライン（1 処理区間で 1 セグメント（マクロブロック）

を処理する)により処理されている。

【0101】この画像伸張装置における内部の演算処理操作をパイプライン化した場合の、DRAMポートへのアクセスも同様、図7において画像伸張装置の内部のパイプラインステージに対応して示す。

【0102】この図7に示すように、画像伸張装置の各処理演算器のセグメント単位でのパイプライン化処理により、画像伸張処理の単位であるセグメントの処理を複数の処理区間にわたってパイプライン的に実行することができ、応じて1セグメントのすべての処理に要する時間(1処理単位の時間)を実効的に短くすることができる。図7に示すように、4段のパイプラインの構成の場合、1処理単位の約1/4の時間の処理区間で1つのセグメントが処理される。

【0103】この図7に示す処理区間の時間期間は一定のクロックサイクル数に固定的に設定されてもよい。しかしながらこのセグメントの属性に応じて処理区間の時間期間(クロックサイクル数)を変動させることもできる。

【0104】図8は、処理区間の時間期間を変更するための動作フローを示す図である。以下、図8を参照して、処理区間のクロックサイクル数を変更するための方法について説明する。

【0105】また、MB同期信号MBSYNCがアサートされる(ステップS1)。このMB同期信号MBSYNCのアサートにตอบสนองして制御回路1226(図33参照)に含まれるタイマが起動される(ステップS2)。

【0106】タイマの起動の後、先の処理区間において解析されたヘッダ情報に基づいてセット時間を変更する必要があるか否かの判別が行なわれる(ステップS3)。これは、マクロブロックの処理方法が複雑な場合(たとえば分数精度での動き予測付双方向予測符号化処理が行なわれたBピクチャなどの場合)、その処理単位時間が長くなる。この場合、この解析ヘッダ情報に従ってセット時間を長くする。ステップS3において、セット時間の変更が必要とされた場合には、その解析されたヘッダ情報に従って処理区間の時間を適当な値(長くまたは短く)設定する。ステップS3においてセット時間の変更が必要でないと判別された場合、ステップS4のセット時間の変更処理はスキップされる。次いで、タイマのカウント時間がセット時間に到達したか否かの判別が行なわれる(ステップS5)。セット時間が経過した場合には、再びステップS1へ戻り、次の処理区間の始まりを示すMB同期信号MBSYNCがアサートされる。セット時間が経過するまでステップS5が繰返して実行される。

【0107】なお、ステップS3およびS4は、ステップS1と並行して行なわれてもよい。セット時間の変更は、タイマをカウンタで構成し、このタイマのカウント値とレジスタの基準値の一致/不一致を比較する比較器

の比較結果によりMB同期信号MBSYNCをアサートする構成の場合では、レジスタの格納値が変更されればよい。また、可変段数のカウンタを用い、このセット時間変更時にはカウンタの段数を変更する構成とすれば、カウンタのカウントアップ信号をMB同期信号MBSYNCとして利用する構成を用いることもできる。

【0108】処理区間の時間期間が一定の場合には、ステップS3およびS4が省略される。

【0109】図9は、処理区間の時間期間を設定する他の手法を示す図である。この図9に示す制御動作も、図32に示す制御回路1226において実行される。この制御回路1226の構成については後に詳細に説明する。

【0110】処理区間が始まり、MB同期信号MBSYNCがアサートされる(ステップS10)。次いで、ステップS12、S14およびS16が並列態様で実行される。ステップS12においては、レートバッファからの可変長符号復号化器へのビットストリームの読込が完了したか否かの判別が行なわれる。ステップS14においては、MB同期信号MBSYNCから所定のセット時間が経過したか否かの判別が行なわれる。ステップS16においては、ヘッダ情報の解析がすべて完了したか否かの判別が行なわれる。このヘッダ情報の解析がすべて完了したか否かを示す信号は、後に詳細に説明するが、可変長符号復号化器から出力される。ステップS18において、これらの判断結果がモニタされ、ステップS12、S14およびS16における判別結果がすべて肯定的(YES)の場合には、ステップS18からステップS10へ戻り、次の処理区間の開始を指定するMB同期信号MBSYNCがアサートされる。この図9に示す処理動作を実行することにより、確実に必要な処理が完了した後に次の処理区間が開始させることができる。データ処理の途中(たとえばレートバッファからのデータ読出動作中またはヘッダ解析動作中)に次の処理区間が始まるのを防止することができる。したがって、固定的に処理区間の時間サイクルを設定する構成に比べて、確実に、すべての必要な処理が完了した後に(すべて必要なデータが与えられた後に)、可変長復号動作から画素復元処理までの一連の処理がパイプライン態様で開始される。この図9において、ステップS14におけるセット時間は復号対象となるセグメントの属性に応じて変更可能とされてもよい(図8参照)。

【0111】以上のように、画像伸張装置の各処理演算器をセグメント単位でパイプライン化することにより、セグメントの処理区間を大幅に短縮することができる。

【0112】エラー処理動作：画像伸張装置に入力されるビットストリームのデータは、エラービットを含んでいる可能性がある。可変長符号化処理されたビットストリームではシンボルの長さが異なる。したがって、エラービットが混入した場合、1つのシンボルのエラーは後

続のシンボルにも影響を及ぼすことになり、正確な可変長復号処理を行なうことができなくなる。画像伸張装置は、この混入したエラービットにより正常な復号動作を行なう定常状態から正確な復号処理を行なうことのできない非定常状態へ遷移する。画像伸張装置には、このような非定常状態から定常状態への復帰および非定常状態における復号画像の画質劣化を最小限を抑制する処理を行なうことが要求される。ここで、エラー検出から正常状態への復帰までに行なわれる処理をエラー処理と称す。この非定常状態において処理されたセグメントに行なわれる表示画面上でのエラーの影響を小さくする処理は、「エラーコンシールメント処理」と呼ばれる。以下、このエラー処理動作およびエラーコンシールメント処理について説明する。

【0113】図10は、エラー検出時の画像伸張装置の動作を概略的に示すフロー図である。以下、図10を参照してエラー検出時の画像伸張装置の動作について説明する。

【0114】まず、ステップS20においてエラーが検出される。このエラー検出においては、たとえば、可変長符号復号化器において、スタートコードを含むヘッダ解析時において、必要とされるシンボルが見出されない場合および、量子化インデクスの可変長復号処理において対応のシンボルが見出されない場合にエラーが生じたと判定されてエラー検出信号が生成される。

【0115】エラーが検出されると、特定のパターンを有するスタートコードの探索が行なわれる（ステップS21）。このスタートコードには、MPEG規格においては、レイヤーの始まりを示すために、スライススタートコード、ピクチャスタートコード、GOPスタートコード、およびシーケンススタートコードなどがある。

【0116】この探索過程により、スタートコードが検出されると、検出したスタートコードが、正常復帰に有効であるか否かの判別が行なわれる（ステップS22）。たとえばスタートコードの1つであるシーケンスエラーコードが検出されても、これは正常復帰（定常状態への復帰）には有効ではない。したがってまた別のスタートコードの探索が継続される。

【0117】正常復帰に有効なスタートコードが検出されると、そのスタートコードに続くヘッダの解析が行なわれる（ステップS23）。このヘッダの解析では、スタートコード後の最初のセグメントに含まれるヘッダ情報の解析までが実行される。このヘッダ解析により、正常状態（定常状態）へ復帰すべきセグメントが識別される。すなわち、図11に示すように、スタートコードに続くヘッダ（セグメントのマクロブロックの前のマクロブロックヘッダまでのすべてのヘッダを含む）1400には、エラー発生時に正常状態へ復帰すべきセグメント（マクロブロック）の画面上の位置を示す再同期セグメ

ントアドレス情報1402が格納されている。たとえばMPEG規格では、この再同期セグメントアドレス情報1402は、スライスヘッダに含まれるスライス・パーティカル・ポジションとマクロブロックアドレスインクリメントに対応する。このヘッダ1400を解析することにより再同期セグメントアドレスが同定され、非定常状態から定常状態へ復帰すべきセグメントを同定することができる。

【0118】たとえば、MPEG規格において、有効スタートコードが、シーケンススタートコード、GOPスタートコードおよびピクチャスタートコードの場合、定常状態へ復帰すべきセグメントは、ピクチャの最初のセグメントである。

【0119】検出されたスタートコードがスライススタートコードの場合、スライスレイヤーはエラーの伝搬を防止するために設けられているため、このスライスレイヤーの先頭のセグメントから定常状態へ復帰することができる。スライスレイヤーのヘッダには先に述べたように、画面上の位置を示す情報が含まれており、この画面上の位置を示す情報が再同期アドレスとして利用される。

【0120】ヘッダ情報を解析した後、このヘッダに続くマクロブロックのデータの可変長復号処理は所定の条件が成立するまで待合せられる。

【0121】すなわち、次にこの画像伸張装置において処理すべきセグメントが、ステップS23において行なわれたヘッダ解析で得られたマクロブロックアドレスと一致するかどうかの判別が行なわれる（ステップS24）。

【0122】スタートコード探索時、画像伸張装置へ与えられるビットストリームはスタートコード探索に用いられ、ビットストリームに含まれるマクロブロックデータの復号処理は行なわれない。一方において、画像伸張装置からは、各処理区間ごとに後に詳細に説明するエラーコンシールメント処理が施された画像データが出力される。たとえば、制御装置において、各処理区間を規定するMB同期信号MBSYNCをカウントすることにより、各処理区間で処理されるセグメントのアドレス（画面上の位置）を知ることができる。したがって、制御装置において次の処理区間で処理すべきセグメントが、ヘッダ解析で得られたマクロブロックアドレスと一致するか否かを識別することができる。次に処理すべきセグメントのマクロブロックアドレスがヘッダ解析で得られたマクロブロックアドレスと一致する場合には、制御装置の制御のもとに次の処理区間から正常動作に復帰する（ステップS25）。

【0123】非定常状態から定常状態への復帰時においても、ヘッダ情報が先に解析されており、MB同期信号MBSYNCに従ってブロックデータの復号処理が開始されるため、この非定常状態から定常状態への復帰時に

10

20

30

40

50

においても、画像伸張装置の各処理演算器の使用効率の低下は何らもたらさない。

【0124】エラー発生時、各処理区間における予測画像データの読出を停止し、この期間をレートバッファからのデータ読出に利用するように構成されてもよい。エラー発生時においては、後に詳細に説明するように、マクロブロックの画素データは関連の同一画像（ピクチャ）内のマクロブロックの画素データの平均値データで置換することが可能なためである。これにより、高速で必要なスタートコードの探索を行なうことができる。

【0125】図12は、画像伸張装置におけるエラー検出からエラー復帰の処理動作に関連する部分の構成を概略的に示す図である。図12においては、可変長符号復号化器1212および制御装置1226のみが示される。可変長符号復号化器および制御装置は、先の図32に示す可変長符号復号化器および制御装置と同じ参照番号が用いられる。これは画像復号処理の機能が同じであることを示すためであり、その構成は上で説明したように従来の装置と異なっている。

【0126】制御装置1226は、画像復号処理を起動する起動信号φACTおよびMB同期信号MBSYNCを可変長符号復号化器1212へ与える。可変長符号復号化器1212は、エラー検出信号φER、有効スタートコード（正常動作復帰に有効なスタートコード）検出指示信号φSDおよびセグメントのヘッダの情報をすべて解析したことを示す処理単位復号完了指示信号をφCPLを出力して制御装置1226へ与える。次にこの図12に示す構成の動作について、その動作シーケンス図である図13を参照して簡単に説明する。

【0127】制御装置1226は、MB同期信号MBSYNCをアサートして可変長符号復号化器1212へ与える。可変長符号復号化器1212では、このMB同期信号MBSYNCのアサートに同期して、ブロックデータの復号を行ない、固定長のDCT係数データを出力する。このブロックデータの復号完了後、続いて次のセグメントのヘッダの情報を解析する。ヘッダ情報の解析がすべて完了すると、可変長符号復号化器1212は、処理単位復号完了指示信号φCPLをアサートして制御装置1226へ与える。制御装置1226は、この処理単位復号完了指示信号φCPLがアサートされると、所定の条件が満足された後に再びMB同期信号MBSYNCをアサートして可変長符号復号化器1212へ与える。これにตอบสนองして、ブロックデータの復号処理が実行される。この復号処理過程においてエラーが検出されたとき、可変長符号復号化器1212は、エラー検出指示信号φERをアサートする。このエラー検出指示信号φERのアサートにตอบสนองして、制御装置1226はエラー状態に入る。このエラー状態においては、後に説明するエラーコンシールメント処理などが実行される。一方、可変長符号復号化器1212においては、このエラー検出

指示信号φERのアサートにตอบสนองして、スタートコードの探索が行なわれる。有効スタートコードが検出されると、可変長符号復号化器1212はスタートコード検出指示信号φSDをアサートする。可変長符号復号化器1212は、このスタートコードが検出されると、スタートコードに続いて、セグメントのヘッダ部の情報を解析し、解析が終了した時点で処理単位復号完了指示信号φCPLをアサートして制御装置1226へ与える。制御装置1226は、この解析されたヘッダ情報およびスタートコード情報に従って、次の処理区間で実行されるべきセグメントがヘッダ情報が解析されたセグメントであるか否かを判定し、このセグメントが次の処理区間で実行されるべきときには、この処理単位復号完了指示信号φCPLのアサートにตอบสนองしてMB同期信号MBSYNCをアサートする。したがってこの図13に示すシーケンスにおいては、エラーが発生した処理区間の次の処理区間からは定常状態（正常状態）に復帰する。

【0128】図14は、エラー検出時の画像伸張装置の別の動作シーケンスを示す図である。図14において、エラー検出時にエラー検出指示信号φERがアサートされてから処理単位復号完了指示信号φCPLがアサートされるまで、図13に示す動作シーケンスと同じ動作シーケンスが実行される。

【0129】制御装置1226は、処理単位復号完了指示信号φCPLのアサート時、解析されたヘッダ情報からこの解析されたヘッダのセグメントが処理されるべき時期を判定する（マクロブロックアドレスの検出）。次の処理区間でこの解析されたセグメントが実行されるべきではないとき、制御装置1226は、処理単位復号完了指示信号φCPLのアサートと先のMB同期信号MBSYNCからの所定の時間（図9参照）の経過とDRAMポートの空を条件として、MB同期信号MBSYNCをアサートする。エラー時には、この解析されたセグメントのブロックデータの処理は待機状態とされる。解析されて待機中のセグメントの処理区間が到達するまで、所定時間が経過するごとにDRAMポートの空きを条件としてMB同期信号MBSYNCがアサートされる。エラー状態においてDRAMポートの空きを条件とするのは、画像伸張装置からの復号済みのデータをDRAMポートへ書込む必要があるためである。このエラー状態において、処理単位復号完了指示信号φCPLはアサート状態を維持していてもよい。すなわち、処理単位復号完了指示信号φCPLは、次の処理区間でブロックデータが処理されるべきときには、MB同期信号MBSYNCのアサートによりリセットされるように構成されていてもよい。

【0130】待機中のセグメントが処理されるべき処理区間に到達すると、MB同期信号MBSYNCのアサートに従って画像伸張装置は正常状態に移行し、この待機中のセグメントのブロックデータの復号を行なう。

【0131】なお、エラー状態においてヘッダ解析時に得られた再同期セグメントアドレスから実際に復号処理される処理区間を検出して正常状態に復帰する場合には、以下の方法を用いることができる。ピクチャの始まりを示すピクチャ同期信号（たとえば垂直同期信号 VSYNC）に同期してリセットされるカウンタを用いて MB 同期信号 MBSYNC をカウントし、そのカウント値に従って各処理区間のマクロブロックアドレス（画面上の位置）をモニタする。このモニタされたマクロブロックアドレスの次のアドレスが再同期アドレスに等しくなれば、待機中のセグメントのブロックデータは次の処理区間で処理されるべきである。MB 同期信号 MBSYNC のアサート前にヘッダ情報がすべて解析されているため、この判定処理は、実際に処理が実行されるべき処理区間の前の処理区間において確実にこなうことができる。

【0132】このようなエラー発生時においても、ヘッダ情報をすべて解析した後、それ以降の処理を待機状態とし、処理すべきときに MB 同期信号 MBSYNC に同期してその待機中のブロックデータの処理を実行することにより、エラー状態から正常状態への復帰時においても、処理されるべきブロックデータが即座に MB 同期信号 MBSYNC に同期して可変長符号復号化器 1212 に与えられるため、高速で処理を実行することができる。なお、図 14 に示す動作シーケンスにおいてはエラー状態の期間、ブロックデータは画像伸張装置へ新たに供給されない。この区間は、後に詳細に説明するエラーコンシールメント処理が実行される。

【0133】図 15 は、図 12 に示す可変長符号復号化器 1212 の内部構成を具体的に示す図である。図 15 において、可変長符号復号化器 1212 は、図示しないバッファメモリを介してレートバッファから読出されたビットストリームを受け、可変長シンボルの先頭ビットからビットストリームデータを供給するビットストリーム供給器 1 と、このビットストリーム供給器 1 からのデータを受けてスタートコードを検出するスタートコード検出部 2 と、ビットストリーム供給器 1 からのビットストリームデータを受けてヘッダ情報の解析を行なうヘッダ解析部 3 と、ビットストリーム供給器 1 からのビットストリームデータに含まれるブロックデータを復号して、固定長の量子化 DCT 係数データを生成するブロックデータ復号器 4 と、スタートコード検出部 2 と、ヘッダ解析部 3 と、ブロックデータ復号器 4 からのエラー検出信号にตอบสนองして、エラーが発生したことを検出するエラー検出部 4 と、この可変長符号復号化器の動作を制御する制御部 6 を含む。

【0134】制御部 6 は、起動要求信号 ϕ ACT（この信号については後にリセット時の動作に関連して説明する）と MB 同期信号 MBSYNC を受け、かつエラー検出指示信号 ϕ ER、処理単位復号完了指示信号 ϕ CPL

およびスタートコード検出指示信号 ϕ SD を出力する。この制御部 6 は、スタートコード検出部 2 からの検出されたスタートコードを受け、このスタートコードが定常状態復帰に有効であるときにスタートコード検出指示信号 ϕ SD をアサートする。制御部 6 は、またヘッダ解析部 3 からのヘッダ情報解析完了指示信号（ヘッダの終了ビット検出により検出される）を受けて、処理単位復号完了指示信号 ϕ CPL をアサートする。制御部 6 は、エラー検出部 5 からのエラー検出信号にตอบสนองしてこのエラー検出指示信号 ϕ ER をアサートする。

【0135】制御部 6 は、またスタートコード検出部 2 からのスタートコード、ヘッダ解析部 3 からの解析された可変長符号後のビット長を示す情報、ブロックデータ復号器 4 からの復号された可変長符号後のビット長情報を受け、ビットストリーム供給器 1 に対し、処理された（検出、解析または復号）可変長符号を排除し、次の可変長符号後の先頭ビットを検出してヘッダ解析部 3 またはブロックデータ復号器 4 へ与える。ビットストリーム供給器 1 は、制御部 6 の下に、常に可変長符号後の最上位ビットから順次データビットを出力する。スタートコード検出部 2 は、常時、このビットストリーム供給器 1 からのビットデータをモニタし、スタートコードが含まれているか否かの検出動作を行なう。ヘッダ解析部 3 は、制御部 6 の制御の下に（この制御経路を示さず）、ブロックデータ復号器 4 の復号動作完了後続いてビットストリーム供給器 1 から与えられる可変長符号語（ヘッダ情報）の解析を行なう。ブロックデータ復号器 4 は、制御部 6 の制御の下に、MB 同期信号 MBSYNC に同期して活性化され、ビットストリーム供給器 1 から与えられた可変長符号を復号する。

【0136】ヘッダ解析部 3 からは動きベクトル、マクロブロックの処理方法（予測方法）などの情報が抽出され、またエラー発生時における復帰（再同期）セグメントアドレス情報が抽出されて制御装置へ与えられる。ブロックデータ復号器 4 からは固定長の量子化インデックスが出力されて次段の逆量子化器へ与えられる。

【0137】なお、ヘッダ解析部 3 は、常時、可変長符号を解析するように説明している。しかしながら、シーケンスヘッダ、GOP ヘッダおよびピクチャヘッダなどは固定長データであり、これらは固定長復号が行なわれる。ヘッダ解析部 3 において固定長符号の解析が行なわれるか可変長符号の解析が行なわれるかは、スタートコード検出部 2 において検出されたスタートコードに従って制御部 6 で決定さる。制御部 6 は、その検出されたスタートコードに従ってヘッダ解析部 3 に対しいずれの解析動作を行なうかを指令する。また、これに代えて、ヘッダ解析部 3 がシンタクスに従って自身でいずれの動作を行なうかを判断する構成が用いられてもよい。なお、またスタートコード検出部 2 は、常時スタートコードを探索するように説明している。しかしながら、スタ

ートコード検出部 2 は、ヘッダ解析部 3 およびブロックデータ復号器 4 の動作時にはその検出動作が停止されるように構成されてもよい。

【0138】図 16 は、図 12 に示す制御装置の内部構成を具体的に示す図である。図 16 において、制御装置 1226 は、リセット要求指示信号 ϕRRQ に応答して可変長符号復号化器に対する起動指示信号 ϕACT を出力する初期化制御回路 14 と、可変長符号復号化器からのエラー検出指示信号およびスタートコード検出指示信号に従ってこの可変長符号復号化器の処理の進行状態を

モニタする状態モニタ 15 と、初期化制御回路 14 からの起動指示信号 ϕACT と状態モニタ 15 の出力信号とピクチャの始まりを示すピクチャ同期信号 $PSYNC$ と可変長符号復号化器から与えられる処理単位復号完了指示信号 ϕCPL とヘッダ情報（ブロック特定情報）を受け、MB 同期信号 $MBSYNC$ を演算器の各パイプラインステージへ与える演算駆動回路 11 を含む。

【0139】初期化制御回路 14 は、画像データの復号動作のリセットを要求するリセット要求信号 ϕRRQ がアサートされると、起動指示信号 ϕACT をアサートして可変長符号復号化器へ与える。このリセット要求信号 ϕRRQ は、画像データの復号処理開始指示信号であってもよく、また外部制御装置の割込に起因するリセット要求指示信号であってもよい。また、このリセット要求信号 ϕRRQ は、エラー状態が所定時間継続して発生するかまたは所定時間内にエラー検出指示信号が連続して所定回数アサートされるときに発生されてもよい。

【0140】状態モニタ 15 は、エラー検出指示信号 ϕER のアサート時に、可変長符号復号化器の符号復号過程においてエラーが発生したことを演算駆動回路 11 へ知らせ、またスタートコード検出指示信号 ϕSD のアサート時には、可変長符号復号化器が正常状態復帰の準備段階へ入ったことを演算駆動回路 11 へ知らせる。

【0141】演算駆動回路 11 は、MB 同期信号 $MBSYNC$ のアサート時、タイマ 16 を起動する。タイマ 16 は、そのカウント動作を行ない、セットされた時間に到達するとタイムアウト信号を演算駆動回路 11 へ与える。このタイマ 16 は、演算駆動回路 11 が、可変長符号復号化器から与えられるブロック属性情報（ヘッダ情報）に従ってそのセット時間を変更するように構成されてもよい（図 8 参照）。正常状態時には、演算駆動回路 11 は、処理単位復号完了指示信号 ϕCPL がアサートされ、かつタイマ 16 からのタイムアウト信号がアサートされ、またバスアクセスコントローラ 12 からの DRAM ポートが空き状態（レートバッファからの読出が完了）を示す信号を受けると MB 同期信号 $MBSYNC$ をアサートする。

【0142】エラー発生時においては、演算駆動回路 11 は状態モニタ 15 の出力する信号に従って以下の動作を行なう。演算駆動回路 11 は、ピクチャ同期信号 P

$SYNC$ に応答してリセットされ、MB 同期信号 $MBSYNC$ のアサートごとにカウントアップするカウンタを含む（このカウンタは図示せず）。このカウンタのカウント値は、可変長符号復号化器で処理されるセグメントの画面上の位置（マクロブロックアドレス）を示す。エラー発生時、スタートコード検出指示信号 ϕSD に従って状態モニタ 15 から正常復帰に有効なスタートコードが検出されたことを知らされると、演算駆動回路 11 は、このスタートコード検出指示信号 ϕSD に続いて与えられるブロック属性情報から再同期アドレスを抽出する。この再同期アドレスとカウンタのカウント値とを比較し、次の処理区間から正常状態に復帰することができるかを判定する。次の処理区間から正常状態に復帰できる場合には、演算駆動回路 11 は、このスタートコード検出指示信号 ϕSD に続いて与えられる処理単位復号完了指示信号 ϕCPL のアサートとタイマ 16 のタイムアウト指示とバスアクセスコントローラ 12 からのレートバッファ読出完了指示信号とに

応答して MB 同期信号 $MBSYNC$ をアサートする。この MB 同期信号 $MBSYNC$ に応答して、可変長符号復号化器の可変長復号器（図 15 のブロックデータ復号器）以下の各処理演算器が動作する。

【0143】次の処理区間がまだ正常状態に復帰すべき処理区間ではないとき、演算駆動回路 11 は、タイマ 16 の出力するタイムアウト信号とバスアクセスコントローラ 12 の DRAM ポート空きを示す信号とに従って MB 同期信号 $MBSYNC$ を出力する。このエラー状態（次の処理区間が正常状態に復帰すべき処理区間ではない状態）において、MB 同期信号 $MBSYNC$ は、可変長符号復号化器を除く各処理演算器のパイプラインステージへ与えられてもよい。またこれに代えて、MB 同期信号 $MBSYNC$ は可変長復号器（ブロックデータ復号器）を含むパイプラインステージの各処理演算器へ与えられ、このとき合わせて演算駆動回路 11 から正常復帰禁止信号をアサートして可変長符号復号化器へ与えることにより、可変長符号復号化器による可変長復号動作を禁止する構成が用いられてもよい。エラー状態においても、画像伸張装置からは画像データが出力される（後に説明するエラーコンシールメント処理が施される）。

【0144】待機中のセグメントが次の処理区間で実行されるべきときには、先に説明した状態と同様タイマ 16 の出力するタイムアウト信号とバスアクセスコントローラ 12 の出力する DRAM ポートの空きを示す信号とに従って演算駆動回路 11 が MB 同期信号 $MBSYNC$ をアサートする。これにより演算駆動回路 11 は正常状態に復帰し、カウンタのカウント値と再同期セグメントアドレスとの比較動作を停止する。この正常状態になると、演算駆動回路 11 からの MB 同期信号 $MBSYNC$ に従って可変長符号復号化器に含まれる可変長復号器（ブロックデータ復号器）以下の処理演算器が動作し、

それぞれ所定の正常な処理を実行する。

【0145】バスアクセスコントローラ12は、演算駆動回路11の制御の下に、DRAMポートへのアクセス動作を制御する。すなわち、図32に示すFIFOインタフェース1210およびメモリインタフェース1224のポート制御を順次所定の順序で実行する。すなわちバスアクセスコントローラ12は、演算駆動回路11からのMB同期信号MBSYNCに同期して（正常動作時）、まずメモリインタフェース1224を介して画素再構成器1220からの復号完了の画像データを外部メモリ（DRAM）1230へ書込む。この書込動作の完了後、バスアクセスコントローラ12は、FIFOインタフェース1210からのビットストリームのメモリインタフェース1224を介しての外部メモリ（DRAM）への書込（レートバッファへの書込）、メモリインタフェース1224を介しての画素バスインタフェース1222への外部メモリ（DRAM）1230からの表示画像データへの読込、メモリインタフェース1224を介しての外部メモリ（DRAM）1230からの予測画像データの転送、およびFIFOインタフェース1210およびメモリインタフェース1224を介しての外部メモリ（DRAM）1230からのデータの可変長符号復号化器への転送（図示しないバッファメモリへの転送）（レートバッファの読出）を実行する。この間、所定間隔でバスアクセスコントローラ12は外部メモリ（DRAM）1230のリフレッシュを実行し、このリフレッシュの間、外部メモリへのアクセスを禁止する。エラー状態時においては、バスアクセスコントローラ12は、この予測画像データ読出期間を、演算駆動回路11からのエラー状態指示信号に応答して、レートバッファからのデータ読出期間として利用する構成が用いられてもよい。予測画像データの読出完了時点は、演算駆動回路11からのブロック属性情報に従って決定される構成が用いられてもよい。

【0146】エラーコンシール制御回路13は、その動作は後に詳細に説明するエラーコンシールメント処理を制御する。このエラーコンシール制御回路13は、状態モニタ15からのエラー検出指示信号φERRに응答して起動されてスキャン変換部または画素再構成器およびスキャン変換部に対しエラーコンシール処理を指令し（信号φERR）、演算駆動回路11からの正常状態復帰指示に응答してこのエラーコンシール処理完了を指令する。

【0147】以上のように、この発明の実施例に従えば、エラー発生時において、エラー状態から定常状態復帰に有効なスタートコードを検出し、次いで、セグメントのヘッダ情報の解析までを実行し、このセグメントのブロックのデータの処理を実際に指示されるべき処理区間到達まで待合せているため、エラー発生時においても処理演算器の使用効率を低下させることなく正常状態へ

の復帰を行なうことができる。

【0148】エラーコンシールメント処理1：図17は、この発明に従う画像伸張装置の画素再構成器1220の構成を概略的に示す図である。図17において、画素再構成器1220は、メモリインタフェース1224を介して与えられるデータを一時的に格納するバッファメモリ20と、このバッファメモリ20に格納された画像データを用いて予測画像を生成する予測画像フィルタ部21と、逆離散コサイン変換部（IDCT）1218からのデータと予測画像フィルタ部21の出力信号とを加算し、DPCM復号を行なう加算器として示される演算器22と、IDCT1218の出力するデータと演算器22の出力するデータと予測画像フィルタ部21からの画素データのいずれかを選択する選択回路23と、選択回路23の出力データを一時的に格納するバッファメモリ24を含む。このバッファメモリ24の格納データは、復号済みの画素データとしてメモリインタフェース1224を介して外部メモリ（DRAM）へ格納される。Bピクチャのマクロブロックタイプは、（1）前後の予測をともに用いないフレーム内／フィールド内（イントラ）予測、（2）過去の再生画像から予測される順方向予測、（3）未来から予測される逆方向予測、および（4）過去および未来両方の画像を用いる内挿的予測の4種類を含む。

【0149】予測画像フィルタ部21は、このマクロブロックタイプに従って所定の処理を行なって予測画像を生成する。画素再構成器1220はさらに、画素再構成の動作を制御するための制御部25を含む。制御部25は、可変長符号復号部から与えられるヘッダ情報と制御装置（図16参照）からのMB同期信号MBSYNCとエラー検出指示信号φERRと制御装置（バスアクセスコントローラ）からのバス使用許可信号とを受ける。制御部25は、このヘッダ情報に含まれるマクロブロックタイプに従って予測画像フィルタ部21で実行されるフィルタ処理を決定する。また、MB同期信号MBSYNCに同期して制御部25は、バッファメモリ20のデータの書込および読出、ならびにバッファメモリ24のデータの書込および読出を制御する。メモリインタフェース1224を介してバッファメモリ20へ読込まれる画像データは、可変長符号復号化器においてデータ解析部の解析結果により生成された動きベクトル情報に従ってアドレスが生成されて外部メモリ（DRAM）から読出される。エラー発生時においては、この動きベクトル情報は送付された動きベクトル情報に基づいて構成される。後に説明するように、エラー時には、この動きベクトルはゼロに設定されてもよい。また、これに代えて、エラー時には1ライン前のマクロブロックの動きが用いられてもよい。すなわち、エラー発生時には、予測画像における対応の画像のマクロブロックデータが読出される。

【0150】選択回路23は、制御部25の制御のもとに、処理されたマクロブロックが、イントラ予測されたマクロブロック（Iピクチャおよびイントラ予測されたBピクチャ）の場合には、IDCT1218からのデータを選択し、イントラ予測以外の予測符号化されたマクロブロックに対しては演算器22の出力するデータを選択し、エラー発生時には、予測画像フィルタ部21からの出力データを選択する。次にこの図17に示す画素再構成器を用いた際のエラー対策動作について説明する。

【0151】図18は、エラー発生時における画像伸張装置のエラー対策動作を示す動作シーケンス図である。図18に示すように、画像伸張装置は、セグメント（マクロブロック）単位で4段のパイプラインステージを構成する（先の実施例と同様）。今、セグメントMB#11のブロックデータの復号過程でエラーが発生した状態を考える。この状態においてエラー検出指示信号φERR（φERRR）がアサートされ、可変長符号復号化器および制御装置においては先に説明したエラー時の動作が実行される。このエラーが発生した処理区間においては、図17に示す復号画素再構成器1220においては画素復号動作が行なわれており、復元された画素データがバッファメモリ24に格納される。次の処理区間が始まるとき、メモリインタフェース1224を介してバッファメモリ22にマクロブロックMB#12に相当する部分のエラーコンシールメント用の予測画像データが格納される。予測画像フィルタ部21においては、マクロブロックMB#11に対する予測画像データの生成を行なっている。一方、IDCT1218からは、マクロブロックMB#10のブロックデータの逆量子化後のデータが生成され、そのマクロブロックタイプに応じて選択回路23を介して画素復元されたデータが生成されてバッファメモリ24に順次書込まれる。一方、バッファメモリ24においては、先に格納したマクロブロックMB#9の復号済の画素データがメモリインタフェース1224を介してDRAMに書込まれる。ここで、バッファメモリ20および24は、その格納データがすべて読出された後に新たなデータの書込が行なわれる。

【0152】以降、順次パイプライン処理が実行され、このエラー状態時においては、順次外部メモリ（DRAM）から、別のピクチャの対応のマクロブロックのデータが読出されて画像データが生成される（図18における斜線を施した領域）。

【0153】マクロブロックMB#12の処理区間において読出された予測画像画素データは、選択回路23により選択される。これにより、予測画像の対応の画素データが順次バッファメモリ24に格納される。予測画像フィルタ部21は、エラー検出時においては、予め定められたルールに従ってフィルタ処理を行なう。

【0154】したがって、マクロブロックMB#15が

処理される処理区間からエラー対策が施された画素データ、すなわち予測画像の画素データがDRAMに順次格納される。

【0155】エラー状態がマクロブロックMB#16の処理区間で完了すると、次の処理区間からマクロブロックMB#17の処理が実行される。この場合、選択器23は、マクロブロックMB#17のブロックデータの処理がパイプラインの第3ステージに到達したときに、そのヘッダ情報に従ってIDCT1218の出力するデータまたは演算器22の出力するデータの一方を選択する。

【0156】上述の一連の動作により、エラー状態においてはエラーにより欠落した画素データを予測画像の画素データで置換することができ、エラービット混入による復号画像の劣化を抑制することができる（図19参照）。すなわち、図19に示すように、エラー状態において、マクロブロックMB#12~MB#16の復号画像の画質の劣化を抑制することができる。

【0157】エラーコンシールメント処理2：図20は、この発明に従う第2のエラーコンシールメント処理を実現するための画素再構成器1220の構成を示す図である。この図20に示す画素再構成器の構成においては、制御部35は、ヘッダ情報、MB同期信号MBSYNC、バスアクセスコントローラの出力信号および制御装置に含まれるエラーコンシール制御回路からの出力信号φERRRにตอบสนองして、エラー状態時においては、選択回路33を、IDCT1218の出力信号を選択する状態に設定する。他の構成は図17に示す構成と同様であり、対応する部分には同一の参照番号を付す。正常状態においては、制御部35は、予測画像フィルタ部21からの画素データとIDCT1218の出力する画素データを演算器22で演算処理（DPCM復号）させた後、このピクチャのタイプに従ってIDCT1218の出力信号または演算器22の出力信号を選択回路33により選択してバッファメモリ24へ書込む。エラー状態時においては、すなわち、信号φERRRの活性化時には、ピクチャタイプにかかわらず、制御部35は、選択回路33を制御してIDCT1218の出力するデータを選択する状態に設定する。

【0158】IDCT1218へは、次にその構成を詳細に説明するスキャン変換部1216の出力するデータが与えられる。スキャン変換部1216は、以下に詳細に説明するように、エラー状態時においては、同一のピクチャ内の、復号処理された1ライン前のマクロブロックデータ（IDCT処理前のデータ）または予め定められた固定値（1ライン前のマクロブロックが存在しないとき）をエラーが発生した処理区間に続く処理区間からIDCT1218へ与える。

【0159】図21は、図20に示すスキャン変換部1216の内部構成を詳細に示す図である。図21におい

て、スキャン変換部 1216 は、逆量子化器から出力される逆量子化された DCT 係数データを順次格納し、次いでラスタ走査順に出力するバッファメモリ 40 と、このバッファメモリ 40 のデータの書込および読出を制御するリード/ライト制御回路 41 と、バッファメモリ 40 から読出された DCT 係数の平均値を求める平均化回路 42 と、この平均化回路 42 の出力する平均値データのうちのたとえば 1 ラインのマクロブロックのデータを FIFO 態様で格納するメモリ 43 と、メモリ 43 のデータの書込および読出を制御するリード/ライト制御回路 44 と、リード/ライト制御回路 44 の制御のもとにバッファメモリ 40 の出力する DCT 係数データおよびメモリ 43 からのデータの一方を選択して IDCT 1218 へ出力する選択回路 45 を含む。

【0160】リード/ライト制御回路 41 は、MB 同期信号 MBSYNC に同期して、前段の逆量子化器から与えられた逆量子化 DCT 係数データを格納する。このリード/ライト制御回路 41 は、単にバッファメモリ 40 に対するリードアドレスとライトアドレスを変換する機能を備えており、ジグザグスキャン態様で走査された DCT 係数をラスタ走査順に再配列して出力するようにそのアドレスを調整する。このアドレスの発生の様子は、リードアドレスおよびライトアドレスの一方が、予め定められたシーケンスで発生され、他方が順次インクリメントされて、ジグザグスキャンされた画素データをラスタ走査順に再配列するように構成されればよい。ジグザグスキャン変換器 1216 は、特にバイブラインステージには含まれていない。これは、バッファメモリ 40 により、1 つのバッファ回路として機能するためである。リード/ライト制御回路 41 は、したがって、DCT 係数データの始まりを示す入力同期信号に同期してアドレスを発生するように構成されてもよい。

【0161】平均化回路 42 は、このバッファメモリ 40 から読出された DCT 係数データの平均値を求める。このとき、すべての DCT 係数データの算術平均値 (DC 係数および AC 係数すべて) により平均値が求められてもよい。しかしながら、8×8 画素のブロックにおいて、DC 係数はそのブロックの画素データの平均値を示す。したがって、平均化回路 42 は、1 つのマクロブロックに対し輝度信号に対して 4 つのブロックの DC 係数データの平均値を求め、色差信号に対しては、その DC 係数を平均値として求める構成が利用されてもよい。

【0162】メモリ 43 は、FIFO 態様でたとえば 1 ライン分の各マクロブロックに対する DCT 係数の平均値データを格納する。次にこの図 20 および 21 に示すスキャン変換部および画素再構成器の動作をその動作シーケンス図である図 22 を参照して説明する。

【0163】図 22 においては、マクロブロック MB # 11 のブロックデータの復号化時においてエラーが発生し、マクロブロック MB # 17 から正常状態に復帰する

際の動作が一例として示される。

【0164】エラー検出指示信号 ϕ ER がアサートされると、応じてエラーコンシール制御回路からのエラー指示信号 ϕ ERR がアサートされる (図 22 には ϕ ERR は示さず)。このエラー検出指示信号 ϕ ERR のアサートにตอบสนองして、図 21 に示すリード/ライト制御回路 44 は、メモリ 43 に対する平均値データの書込を禁止する。すなわち、エラーが検出された場合に算出される DCT 係数データの平均値の格納が禁止される。メモリ 43 には、したがってマクロブロック MB # 9 までの 1 ライン分のマクロブロックの DCT 係数の平均値が格納される。マクロブロック MB # 10 の DCT 係数の平均値データはメモリ 43 には格納されない。メモリ 43 の先頭アドレス位置には、マクロブロック MB # 10 の 1 ライン前のマクロブロックの DCT 係数の平均値データが格納される。このエラーが発生された処理区間においては、マクロブロック MB # 9 の画素復元処理が実行されている。すなわち、図 20 に示す選択回路 33 は、制御部 35 の出力信号に従って、演算器 22 の出力信号または IDCT 1218 の出力するデータの一方を選択してバッファメモリ 24 へ与えている。

【0165】エラーが発生した次の処理区間においては、図 21 に示すリード/ライト制御回路 44 は、エラー指示信号 ϕ ERR にตอบสนองしてメモリ 43 から先頭位置に格納された 1 ライン前のマクロブロックの DCT 係数の平均値データを読出して、選択回路 45 を介して IDCT 1218 へ与える。メモリ 43 は、マクロブロックの輝度ブロックに対して 1 つの平均値データを格納してもよく、また輝度信号ブロックそれぞれに対し平均値データを格納していてもよい (IDCT 1218 は 8 画素×8 画素を単位として逆離散コサイン変換処理を実行するため)。

【0166】また、図 20 に示す選択回路 33 は、制御部 35 の制御のもとに、IDCT 1218 の出力するデータを選択する状態に設定される。したがって、エラーが発生した処理区間の次の処理区間においては、1 ライン前のマクロブロックの画素データに従って画素復元 (DPCM 復号) が実行される。したがって、図 22 に示すように、エラーが発生したマクロブロックよりも 1 つ前のマクロブロックからエラーコンシールメント処理を実行することができ、エラーが発生したマクロブロックに対してもエラーコンシールメント処理を実行することができ、エラービット混入による画質劣化をより抑制することができる。メモリ 43 からは、MB 同期信号 MBSYNC に同期して、各処理区間ごとに順次異なるマクロブロックのデータが読出される。

【0167】エラー状態から正常状態に復帰するときには、エラー指示信号 ϕ ERR がデアサートされると、その処理区間においてはメモリ 43 からのデータを選択して IDCT 1218 へ与え、次の処理区間においては平

均化回路 42 からの平均値データをメモリ 43 へ書込み、その次の処理区間においては選択回路 45 をバッファメモリ 40 の出力を選択する状態に設定する。

【0168】メモリ 43 においては、FIFO 態様でデータ格納されているため、新たにマクロブロック MB # 17 のブロックデータの平均値がメモリ 43 に FIFO 態様で書込まれても、1 ライン分の画素ブロックデータが順次格納される状態は維持される。

【0169】なお、正常状態復帰時において、バッファメモリ 40 は、前段の逆量子化器から与えられるブロックデータの始まりを示す入力同期信号に同期してリード/ライト制御回路 41 の制御のもとにデータの書込が行なわれる構成が利用されてもよい。またこのとき、リード/ライト制御回路 41 へ制御装置からの正常状態復帰指示信号が与えられ、正常状態復帰指示信号が与えられた処理区間から書込が行なわれてもよい（スキャン変換部が第 1 段のパイプラインステージの最終段を構成するとき（バッファへのデータ書込までが第 1 段のパイプラインステージ））。または正常状態復帰の処理区間の次の処理区間からリード/ライト制御回路 41 の制御のもとにバッファメモリ 44 へのデータ書込が行なわれてもよい（スキャン変換部が第 3 段のパイプラインステージを構成する場合）。また、このスキャン変換部 1216 は、第 2 段のパイプラインステージを構成するように配置されてもよい。

【0170】また、エラー発生がピクチャの先頭で生じたときには、対応の平均値データは存在しないので、予め定められた固定値が用いられる。この構成は示していないが、処理されるマクロブロックのアドレス（画面上の位置）情報に従って平均値データおよび固定値データの一方を選択する構成が用いられればよい。

【0171】図 23 は、図 20 ないし図 22 に示す第 2 のエラーコンシールメント処理におけるエラーコンシールメント処理されたマクロブロックの態様を示す図である。図 23 に示すように、エラーが発生したマクロブロック MB # 11 よりも 1 つ前のマクロブロック MB # 10 から 1 ライン前のマクロブロックの画素データを用いてエラーコンシールメント処理が実行されている。すなわちマクロブロック MB # 10 ~ MB # 16 ブロックデータはそれぞれ同一ピクチャ内の 1 ライン前のマクロブロック MB # 2 ~ MB # 8 の画素データにより置換されている。

【0172】なお、上述の説明においては、エラー発生時においては、先行するマクロブロックのブロックデータの平均値を用いてエラーコンシールメント処理を行なうように示している。しかしながら、メモリに余裕がある場合、画素再構成部 1220 において、1 ライン分のマクロブロックの画素データを格納するラインメモリを配置し、エラー発生時にはこのラインメモリに格納された復号済のマクロブロックの画素データを用いてバッ

ファメモリ 24 を介して外部メモリ (DRAM) へ格納し、各画素データそれぞれを先行する 1 ライン前のマクロブロックの画素データそれぞれで置換する構成が利用されてもよい。

【0173】以上のように、この発明の実施例の構成に従えば、画像伸張装置のパイプラインステージを有効に利用して、効率的にエラーコンシールメント処理を実行することができる。特に、同一ピクチャ内の復号データ（可変長復号化されたデータ）を用いてエラーコンシールメント処理を行なう場合、エラーが検出されたセグメント（マクロブロック）よりも処理の順序で前のマクロブロックからエラーコンシールメント処理を実行することができ、より効果的なエラーコンシールメント処理を行なうことができ、エラービット混入による画質劣化を抑制することができる。

【0174】初期化動作 1：リスタート（エラーからの復帰）

図 24 は、画像伸張装置の初期化動作を示すフロー図である。以下、この発明に従う画像伸張装置の初期化動作について説明する。

【0175】まずリセット要求が出されたか否かの判別が行なわれる（ステップ S30）。このリセット要求は、外部制御装置の割込による表示の中断およびエラー状態が所定時間以上継続する場合（エラー状態から正常状態へ復帰したエラー状態が復帰する状態が連続する場合）などのリスタート時に発生される。

【0176】リセット要求（リスタート指示）が出されると、まず制御装置 1226（図 16 参照）が、この画像伸張装置が、画像データの復号動作を行なっているか否かの判別を行なう（ステップ S31）。画像データの復号動作を行なっている場合（画素復元動作を行なっている場合：エラー状態時の動作を含めて）、MB 同期信号 MBSYNC の次の処理区間からの発生が停止される（ステップ S32）。MB 同期信号 MBSYNC の発生が停止されると、起動信号 φACT がアサートされて可変長符号復号化器（図 15 参照）へ与えられる。ステップ S31 において、画素復元動作が行なわれていない場合においては、ステップ S32 がスキップされてステップ S33 の起動信号 φACT のアサートが行なわれる。

【0177】可変長符号復号化器においては、この起動信号 φACT のアサートに応答して、ピクチャの始まりを示すスタートコードを探索する。すなわちシーケンススタートコード、GOP スタートコード、およびピクチャスタートコードの探索が行なわれる。このときには、スライススタートコードが検出されても、このスライススタートコードは無視される。ピクチャの始まりを示すスタートコードが検出されると、このスタートコードに続くヘッダ部の情報の解析が行なわれ、マクロブロックレイヤのセグメントのヘッダ情報の解析が行なわれる（ステップ S34）。このヘッダ情報を解析した状

態で所定条件が成立するのを待つ(ステップS35)。この所定条件としては、レートバッファに十分な量のビットストリームが格納されていることおよび外部の表示制御装置から与えられる垂直同期信号がアサートされることである。レートバッファに十分な量のビットストリームが格納されているか否かは、図16に示すバスアクセスコントローラ12を介して外部メモリ装置(DRAM)のFIFO領域の書込アドレスと読出アドレスの差を検出することにより判別することができる。所定条件が成立すると、制御装置は、ピクチャの始まりを示すピクチャ同期信号をアサートして、その内部に含まれるマクロブロックアドレスを示すカウンタをリセットし、このピクチャ同期信号に同期してMB同期信号をアサートして画像伸張装置に定常動作を実行させる(ステップS36)。このピクチャ同期信号に同期してMB同期信号をアサートすることにより、リセット要求が行なわれて新たなピクチャを表示するとき、外部制御装置から与えられたたとえば垂直同期信号に同期して正確に表示画像データの読出を行なうことができる。また画像表示に合わせて画素復号動作を順次実行することができる。

【0178】ステップS30からステップS33までの一連の動作が図16に示す初期化制御回路14により実行される。

【0179】初期化動作2：リセット動作

図25は、画像伸張装置の他の初期化動作を示すフロー図である。以下、この発明に従う画像伸張装置の他の初期化動作について説明する。この初期化動作においては、ユーザが新たに画像表示を指定する。

【0180】まず、リセット要求(初期化指示)が出されたか否かの判別が行なわれる(ステップS40)。このリセット要求は、ユーザからの画像表示指定に従って、ハードウェアまたはソフトウェア(レジスタ値のセット)により発生される。

【0181】リセット要求が出され、新たな画像の表示が指定されると、このときには、画像伸張装置は、何ら画像データの復号動作を行っていないため、起動信号φACTがアサートされて、可変長符号復号化器(図15参照)へ与えられる(ステップS41)。

【0182】可変長符号復号化器においては、この起動信号φACTのアサートに応答して、シーケンススタートコードを探索する。GOPスタートコード、ピクチャスタートコードおよびスライススタートコードが検出されても、これらのスタートコードは無視される。シーケンススタートコードが検出され、次いでピクチャの始まりを示すスタートコードが検出されると、このスタートコードに続くヘッダ部の情報の解析が行なわれ、マクロブロックレイヤのセグメントのヘッダ情報の解析が行なわれる(ステップS42)。このヘッダ情報を解析した状態で、所定条件が成立するのを待つ(ステップS

43)。この所定の条件としては、先の図24におけるステップS35において説明したのと同じ条件が用いられる。すなわち、レートバッファに十分な量のビットストリームが格納されていることおよび外部の表示制御装置から与えられる垂直同期信号がアサートされることである。所定条件が成立すると、制御装置は、ピクチャの始まりを示すピクチャ同期信号をアサートして、その内部に含まれるマクロブロックアドレスを示すカウンタをリセットし、このピクチャ同期信号に同期してMB同期信号をアサートして画像伸張装置に定常動作を行なわせる(ステップS44)。このピクチャ同期信号に同期してMB同期信号をアサートすることにより、リセット要求が行なわれて、新たなシーケンスのピクチャを表示する場合において、外部制御装置から与えられるたとえば垂直同期信号に同期して正確に表示画像データの読出を行なうことができ、また画像表示に合わせて画素復号動作を順次実行することができる。

【0183】この一連の処理動作は、図16に示す初期化制御回路14により実行される。起動信号φACTは、リスタートを指定するリセット要求時および初期化を指定するリセット要求時において同じ信号がアサートされるように示される。これらは別々の信号であり起動信号φACTの種類に応じて、リスタート時および初期化時において探索対象とされるスタートコードの区別が行なわれる。

【0184】図26は、リセット動作時における画像伸張装置の動作の一例を示す図である。図26においては、外部から画像表示を指令する初期化指示(リセット指示)が与えられる状態が一例として示される(図25参照)。この状態においては、画像伸張装置は、画素復号動作は行っていないため、MB同期信号MBSYNCはアサートされていない。

【0185】リセット要求信号φRRQがアサートされると、起動信号φACTが図16に示す初期化制御回路から出力される(アサートされる)。この起動信号φACTのアサートに応答して、可変長符号復号化器は、画像の始まりを示すスタートコードを探索する。この探索動作時において、制御装置の制御のもとにレートバッファからデータの読出が行なわれる。レートバッファにまだビットストリームが格納されておらず、リセット要求信号φRRQ発生時において初めてビットストリームが到達する場合には、制御装置は、FIFOインタフェースを介して与えられたビットストリームを直接可変長符号化復号器へ与え、スタートコード探索を行なわせる。可変長符号復号化器は、スタートコード検出器(図15参照)で検出されたスタートコードを制御部6で解析し、シーケンススタートコードの検出に続いてピクチャの始まりを示すスタートコードを検出して、それに続くヘッダ情報を解析する。リスタート時には、マクロブロックレイヤより上のスタートコードの探索が行なわ

れ、その検出後ヘッダ情報の解析が行なわれる。マクロブロックレイヤのセグメントのヘッダ情報の解析が完了すると、可変長符号化復号器が、処理単位復号完了指示信号φCPLをアサートする。制御装置は、処理単位復号完了指示信号φCPLのアサートに応答して、所定の条件が成立するのを待つ。所定条件が成立すると、すなわちレートバッファに十分な量のビットストリームが格納されかつ垂直同期信号が与えられると、制御装置は内部でピクチャ同期信号PSYNCをアサートし、かつこのピクチャ同期信号に同期してMB同期信号MBSYNCをアサートする。最初の処理区間においては、ヘッダ情報が解析されたセグメントのブロックデータの復号およびこのセグメントに続くヘッダ情報の解析が実行される。以降、各処理区間においてヘッダ情報の解析が行なわれかつ所定の条件が成立するごとにMB同期信号MBSYNCがアサートされる。

【0186】この一連の初期化動作により、エラー復帰動作を含むリセット動作時においても、確実にMB同期信号MBSYNC信号のアサートに응答してセグメントのブロックデータの復号処理を開始することができ、高速演算処理が実現される。

【0187】なお、上述の実施例においては、画素データ復号処理にあたって、MPEG規格に従って符号化された画像データ（画素データ）の復号処理を示している。しかしながら、このようなMPEG規格の符号化された画素データではなく、可変長符号があるサイズのデータブロック単位で処理される場合においても、そのブロックデータに対しヘッダ情報が可変長符号で付されている場合には、本願発明は適用可能である。また、DCT変換処理ではなく、他の直交変換処理されたデータであつても本発明は適用可能である。

【0188】

【発明の効果】請求項1に係る画像伸張装置においては、1処理区間内においてデータブロックの処理に続いてヘッダ情報の解析を行ない、このヘッダの解析情報のすべての解析が完了した後にデータ処理開始を指示している。1つの処理区間はデータブロックの復号処理に始まりヘッダ情報の解析で終了する。したがって、データ処理開始が指示されるとき、処理演算器は即座に処理を実行することができ、処理演算器の使用効率が改善され、高速でデータ処理を実行することができる。また処理演算器の待機時間が短くなるため、1処理区間の時間期間を短くすることができる。

【0189】請求項2に係る画像伸張装置においては、処理区間の時間期間はヘッダの情報の解析結果に従って変更するように構成しているため、処理対象となるセグメントの属性に応じて処理区間の時間期間を変更することができ、処理対象となるセグメントの属性に応じて最適な処理区間長さを設定することができ、固定長時間の処理区間の場合に生じる可能性のある、1つの処理区間

すべてが完了しない場合に次の処理区間が始まるような誤動作を防止することができ、効率的かつ正確に画像データの処理を行なうことができる。

【0190】請求項3に係る画像伸張装置においては、データブロックデータの復号処理と並行して外部メモリへのアクセスが実行されるように構成しているため、外部メモリへのアクセスが画素データ復元処理に及ぼす影響を排除することができ、処理時間を短縮することができる。また、この外部メモリへのアクセスを、復元データの書込、入来ビットストリームの書込、表示画像データの読出、予測画像データの読出、およびビットストリームの読出順序で順次行なうことにより、データ処理手段におけるパイプライン処理に必要とされるデータの破損を伴うことなく効率的に必要なとされるデータをデータ処理部へ与えることができる。

【0191】請求項4に係る画像伸張装置においては、ヘッダ情報の解析過程または可変長復号過程においてエラーが発生したとき、所定のパターンを有するスタートコードを検出し、このスタートコードに続くセグメントのヘッダ情報を解析し、その解析完了後所定の条件が満足されるまでその解析されたヘッダ情報に続くデータブロックの処理を待合せている。エラー発生時においても、処理開始時において所定のエラーの影響を受けないセグメントから処理を開始することができるとともに、この処理開始時においてもデータブロックの復号処理から処理が開始されるため、エラー回復後においてもデータ処理手段に含まれる処理演算器の使用効率低下を抑制することができ、高速でデータ処理を実行することができる。

【0192】請求項5に係る発明においては、セグメントの処理区間を1処理単位としてパイプラインを構成しているため、各パイプラインの演算器の使用効率の低下を最低限に抑制することができ、高速データ処理が可能となる。また、パイプラインステージにより、1処理単位（セグメント）を複数の処理区間でパイプライン的に分担することができるため、処理区間の時間期間を短縮することができ、高速データ処理が可能となる。

【0193】請求項6に係る発明に従えば、パイプラインステージを、セグメントを単位として、その処理内容に応じて4段のパイプライン構成としているために、処理区間の時間期間が変動しても、最小の処理演算器の待ち時間でパイプライン動作を実施することができ、高速データ処理を行なうことができる。また、このパイプライン化により、ヘッダ情報の解析をデータ処理と並行して行なうことができ、処理区間の時間期間を短縮することができ、高速データ処理が実現される。

【0194】請求項7に係る発明に従えば、エラー発生時には、パイプラインステージ内においてエラーが検出されたセグメントよりも前のセグメントのブロックデータの修復動作を行なっているため、パイプラインステー

10

20

30

40

50

ジの遅延が効率的に利用されてエラーが生じたセグメントに対してエラー修復動作を施すことができ、エラービット混入による復号画像の画質劣化を抑制することができる。

【0195】請求項 8 に係る発明に従えば、リセット要求が出されたときには、所定のパターンを有するスタートコードを探索し、そのスタートコードに続くセグメントのヘッダ情報をすべて解析した後所定の条件が成立したときに、処理開始指示信号をアサートして、このセグメントのデータブロックの処理を実行させているため、リセット時においても確実にピクチャの最初から処理を実行することができるとともに、処理開始に応じて即座に処理演算器を動作させてデータ処理を行なうことができ、高速処理を行なうことができる。

【0196】請求項 9 に係る発明に従えば、外部から与えられる画像の開始を示すピクチャ同期信号（垂直同期信号）に同期してデータ復号処理を開始させるように構成しているため、リセット時においても外部制御装置から与えられる同期信号との同期を確立して正確な画素データの保護動作および表示画像データの読出を行なうことができる。

【図面の簡単な説明】

【図 1】 この発明に従う画像伸張装置の 1 処理区間の動作を概略的に示す図である。

【図 2】 この発明に従う画像伸張装置の 1 処理区間（単位）の構成およびパイプライン化の効果を説明するための図である。

【図 3】 この発明に従う画像伸張装置の 1 処理区間の動作および D R A M ポートの動作を示す図である。

【図 4】 この発明に従う画像伸張装置および D R A M ポートの他の動作シーケンスを示す図である。

【図 5】 この発明に従う画像伸張装置に用いられる逆量子化器の入出力信号の構成を示す図である。

【図 6】 図 5 に示す逆量子化器の入出力信号の関係を例示する図である。

【図 7】 この発明に従う画像伸張装置の処理演算器のパイプライン構成およびブロックデータの処理シーケンスを示す図である。

【図 8】 この発明に従う画像伸張装置における 1 処理区間の時間期間を設定するための動作を示すフロー図である。

【図 9】 この発明に従う画像伸張装置における 1 処理区間を決定するための別の動作シーケンスを示す図である。

【図 10】 この発明に従う画像伸張装置におけるエラー状態時の動作を示すフロー図である。

【図 11】 この発明において利用されるセグメントのヘッダおよびそれに付随するスタートコードの構成を例示的に示す図である。

【図 12】 この発明に従う画像伸張装置におけるエラ

ー状態の動作に関連する部分の構成を示す図である。

【図 13】 図 12 に示す構成のエラー状態時における動作シーケンスを示す図である。

【図 14】 図 12 に示す構成のエラー状態時における他の動作シーケンスを示す図である。

【図 15】 図 12 に示す可変長符号復号化器の内部構成を示す図である。

【図 16】 図 12 に示す制御装置の内部構成を示すブロック図である。

【図 17】 この発明に従う画像伸張装置における画素再構成器の構成を示す図である。

【図 18】 この発明に従う画像伸張装置におけるエラー状態時の動作シーケンスを示す図である。

【図 19】 この発明に従う画像伸張装置におけるエラーコンシールメント処理の態様を示す図である。

【図 20】 この発明に従う画像伸張装置における画素再構成器の他の構成を示す図である。

【図 21】 図 20 に示すスキャン変換器の構成を示す図である。

【図 22】 この発明に従う画像伸張装置におけるエラー状態時の他の動作シーケンスを示す図である。

【図 23】 図 22 に示す動作シーケンスにおけるエラーコンシールメント処理を説明するための図である。

【図 24】 この発明に従う画像伸張装置のリセット時（リスタート時）の動作を示すフロー図である。

【図 25】 この発明に従う画像伸張装置のリセット時（初期化時）の動作を示すフロー図である。

【図 26】 この発明に従う画像伸張装置のリセット時の動作シーケンスの一例を示す図である。

【図 27】 この発明が対象とする可変長符号を生成するための構成を説明するための図である。

【図 28】 この発明が適用される画像伸張装置における G O P レイヤにおけるピクチャの配列の態様を示す図である。

【図 29】 この発明が対象とする画像データの構成を説明するための図である。

【図 30】 この発明が対象とする画像データのシンタックスを説明するための図である。

【図 31】 図 30 に示すスライスレイヤを説明するための図である。

【図 32】 図 30 に示すブロックレイヤの構成を説明するための図である。

【図 33】 この発明が対象とする画像伸張装置の構成を概略的に示すブロック図である。

【図 34】 図 33 に示す外部メモリのメモリ領域の構成を示す図である。

【図 35】 従来の画像伸張装置の処理区間を説明するための図である。

【図 36】 従来の画像伸張装置の動作を説明するための図である。

49

【図37】 スタートコードの構成を示す図である。

【図38】 マクロブロックレイヤのヘッダ部の構成を示す図である。

【図39】 従来の画像伸張装置の問題点を説明するための図である。

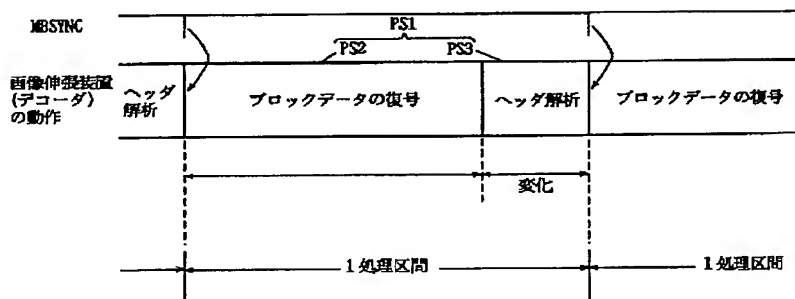
【図40】 従来の画像伸張装置の問題点を説明するための図である。

【符号の説明】

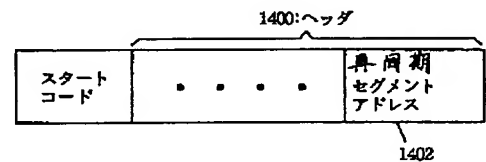
1 ビットストリーム供給器、2 スタートコード検出部、3 ヘッダ解析部、4 ブロックデータ復号器、5 エラー検出部、6 制御部、11 演算駆動回路、12 バスアクセスコントローラ、13 エラーコンシール制御回路、14 初期化制御回路、15 状態モニ

タ、16 タイマ、20 バッファメモリ、21 予測画像フィルタ部、22 演算器、23 選択器、24 バッファメモリ、25 制御部、40 バッファメモリ、41 リード/ライト制御回路、42 平均化回路、43 メモリ、44 リード/ライト制御回路、45 選択回路、33 選択回路、35 制御部、121 2 可変長符号復号化器、1214 逆量子化器、1216 スキャン変換器、1218 逆離散コサイン変換器、1220 画素再構成器、1222 画素バスインタフェース、1224 メモリインタフェース、1210 FIFOインタフェース、1226 制御回路、1230 外部メモリ。

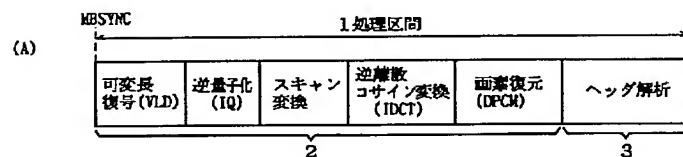
【図1】



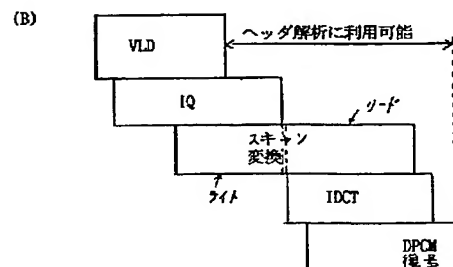
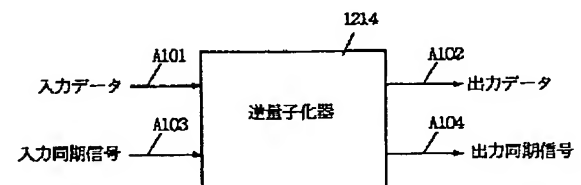
【図11】



【図2】



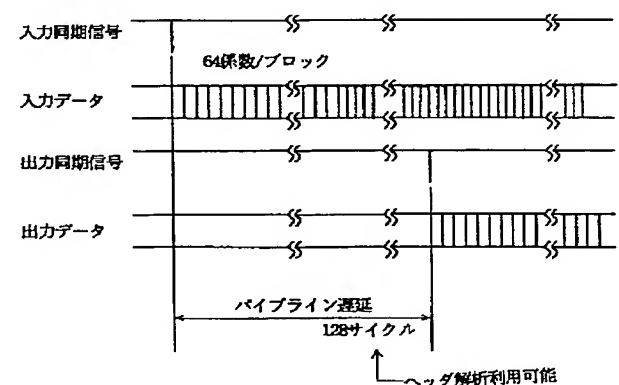
【図5】



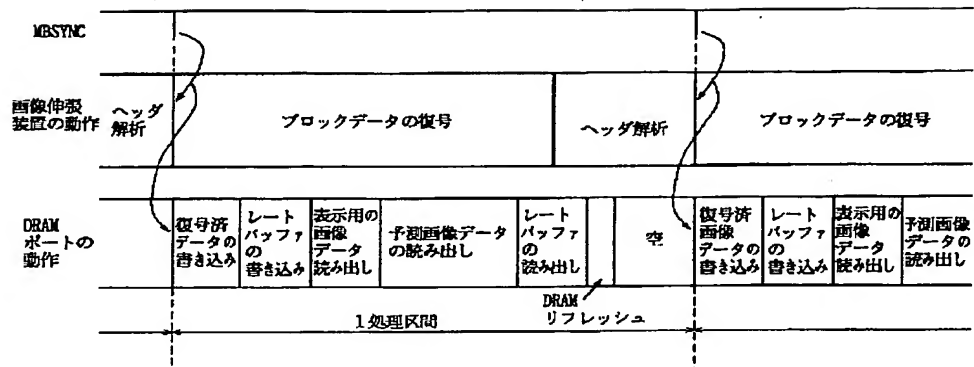
【図28】



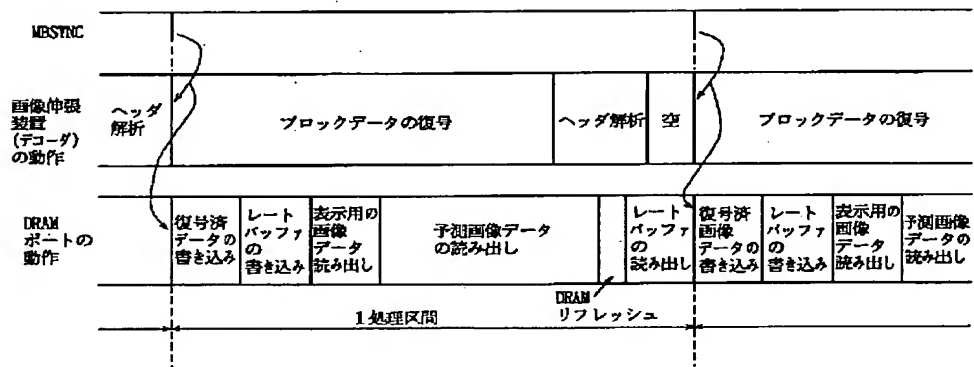
【図6】



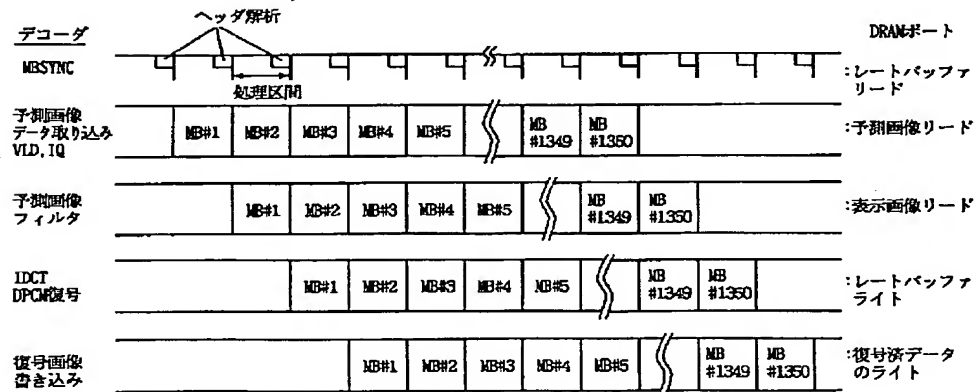
【図 3】



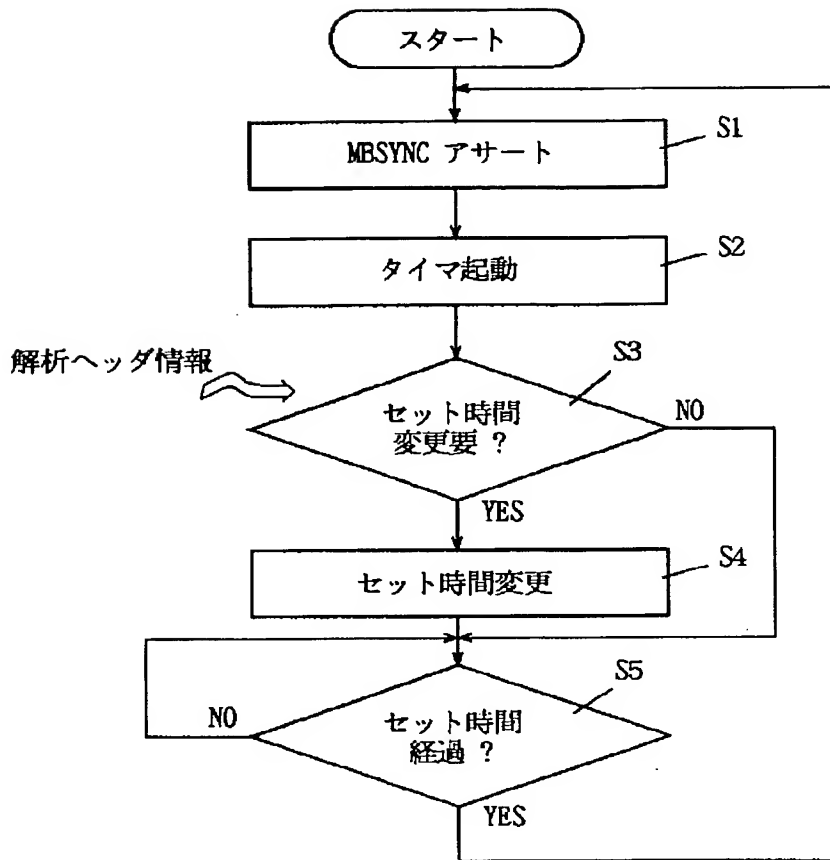
【図 4】



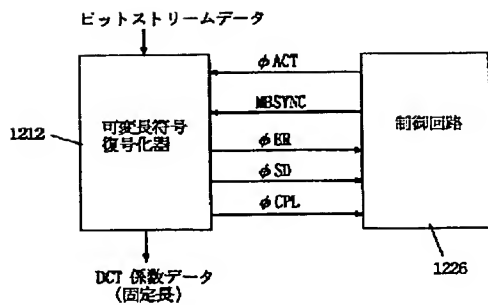
【図 7】



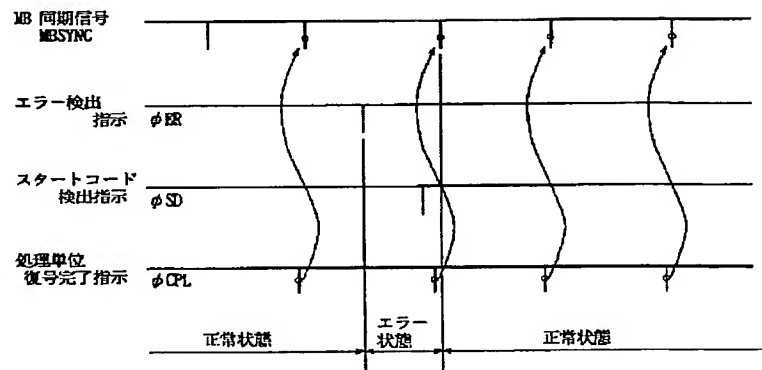
【図 8】



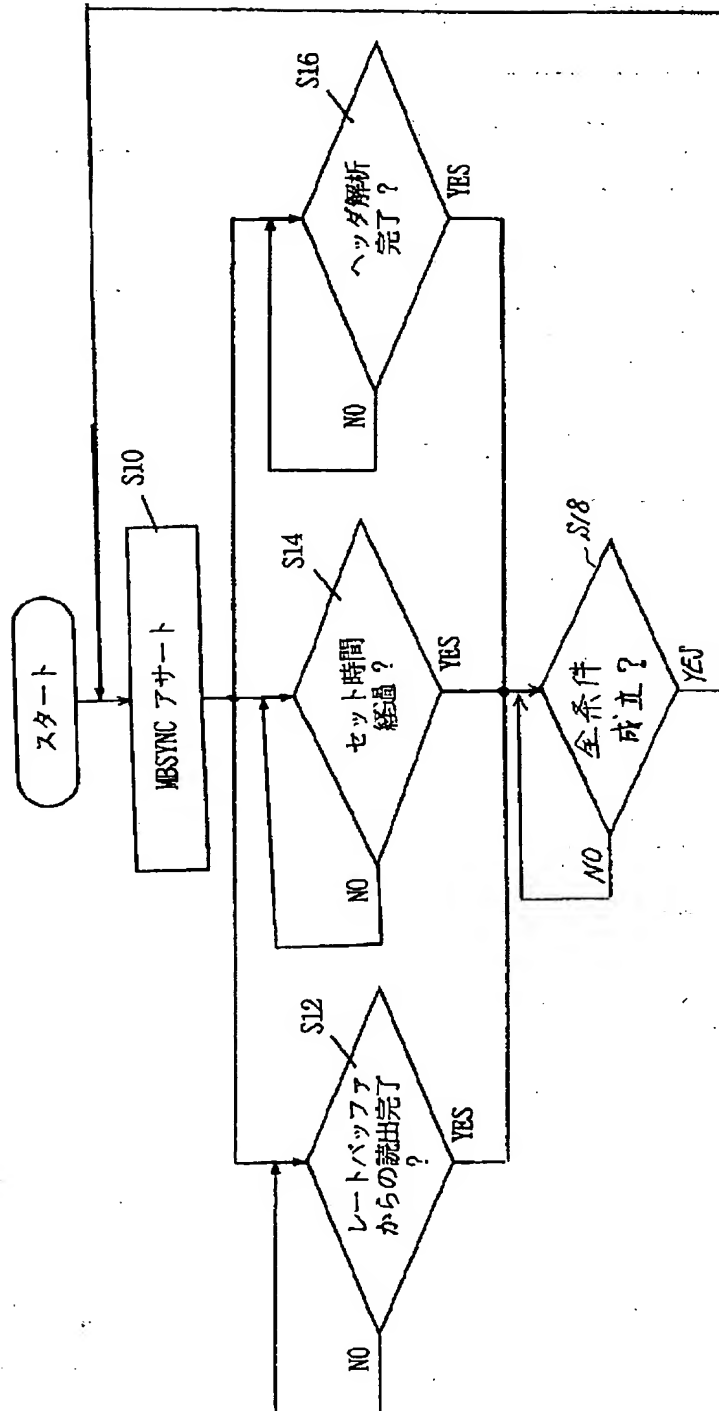
【図 12】



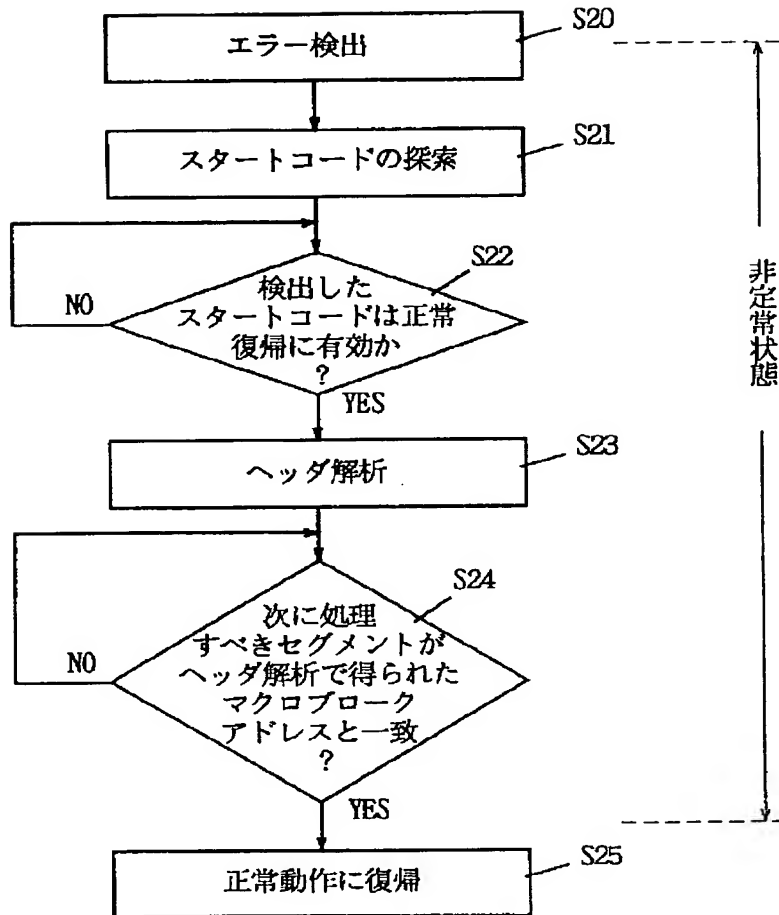
【図 13】



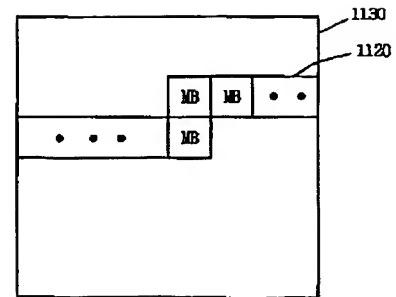
【図 9】



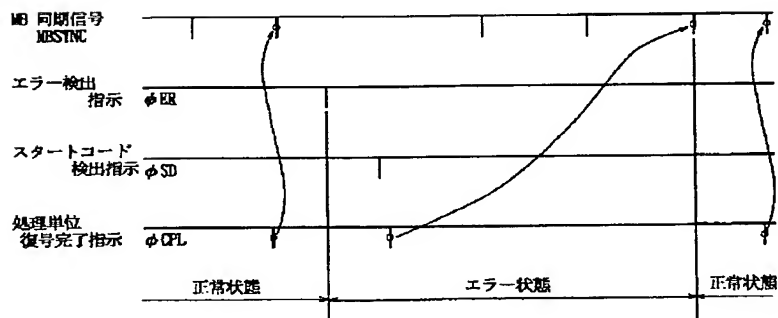
【図10】



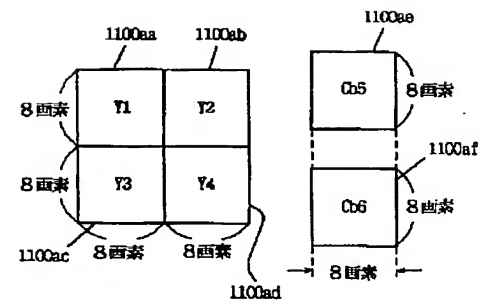
【図31】



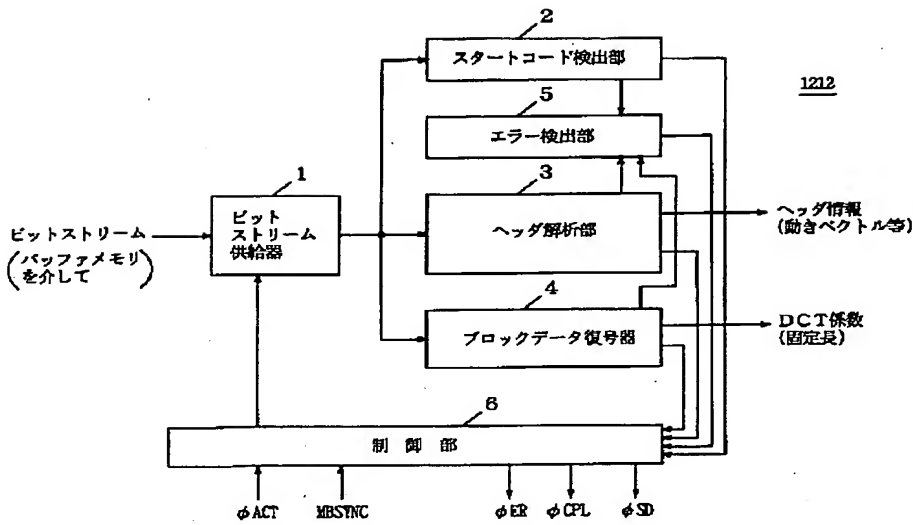
【図14】



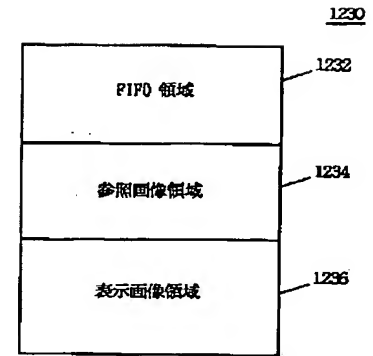
【図32】



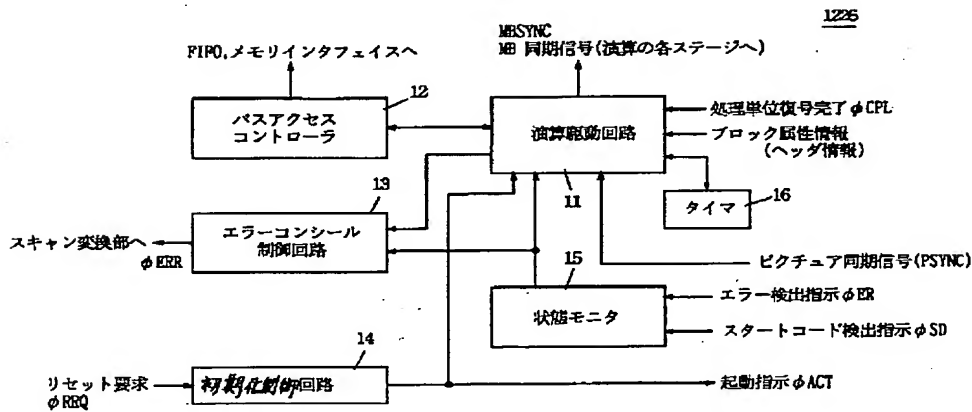
【図15】



【図34】



【図16】



【図19】

エラー検出

MB#1	MB#2	MB#3	MB#4	MB#5	MB#6	MB#7	MB#8
MB#9	MB#10	MB#11	MB#12	MB#13	MB#14	MB#15	MB#16
MB#17	MB#18	MB#19	MB#20	MB#21	MB#22	MB#23	MB#24
MB#25	MB#26	MB#27	MB#28	MB#29	MB#30	MB#31	MB#32

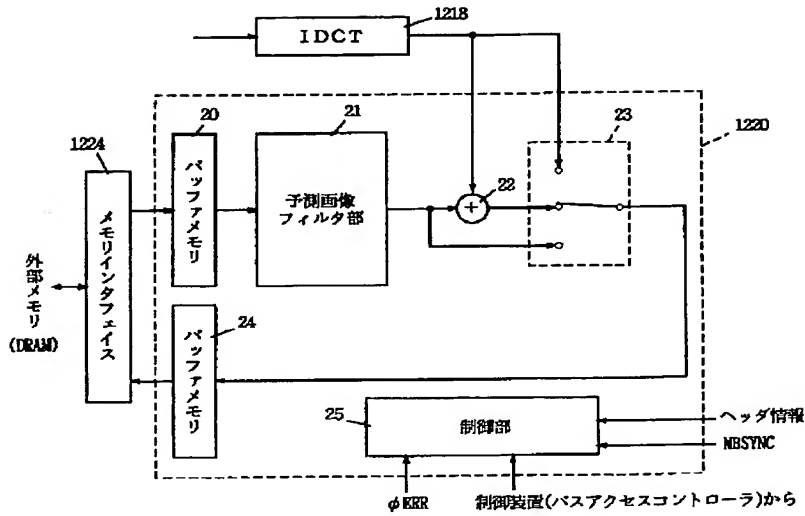
【図23】

エラー発生

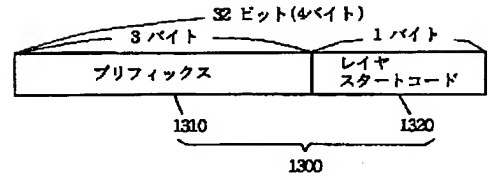
MB#1	MB#2	MB#3	MB#4	MB#5	MB#6	MB#7	MB#8
MB#9	MB#10	MB#11	MB#12	MB#13	MB#14	MB#15	MB#16
MB#17	MB#18	MB#19	MB#20	MB#21	MB#22	MB#23	MB#24
MB#25	MB#26	MB#27	MB#28	MB#29	MB#30	MB#31	MB#32

■ : エラーコンシールメント処理

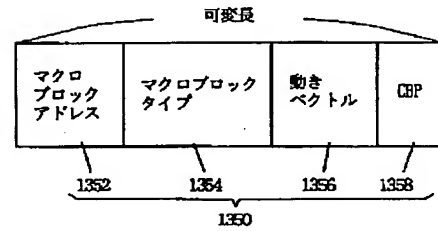
【図17】



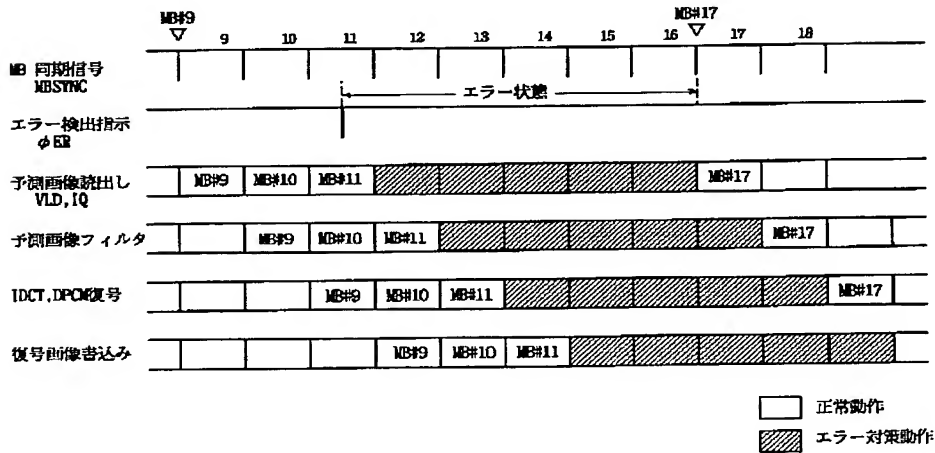
【図37】



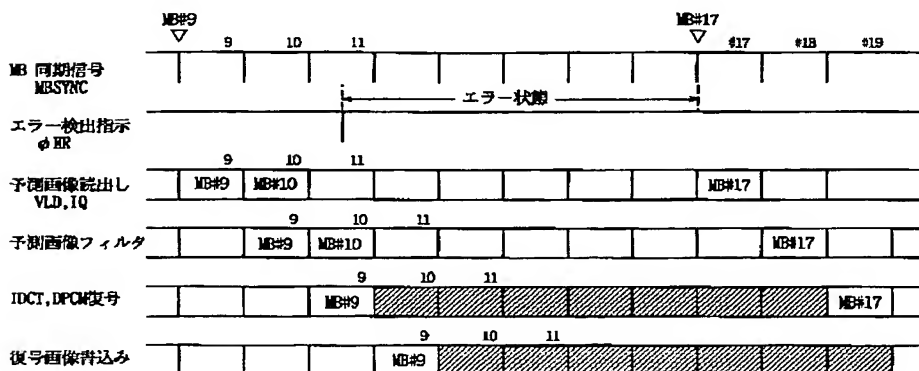
【図38】



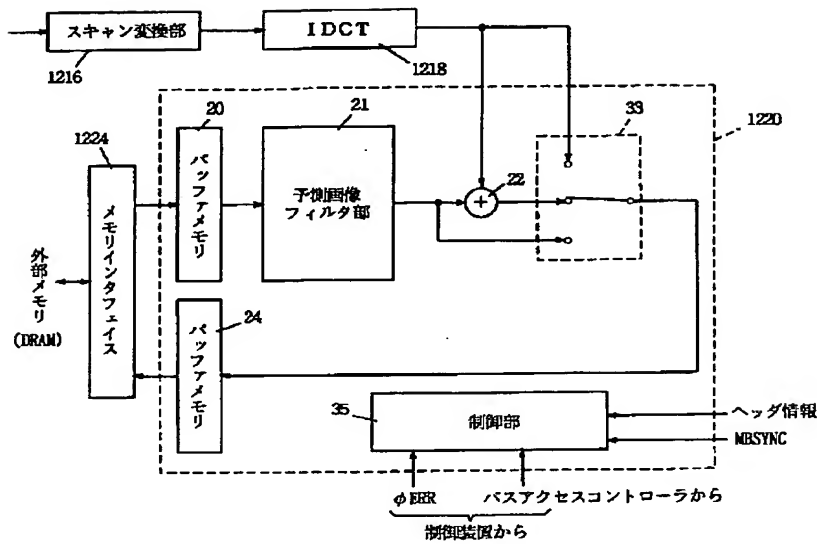
【図18】



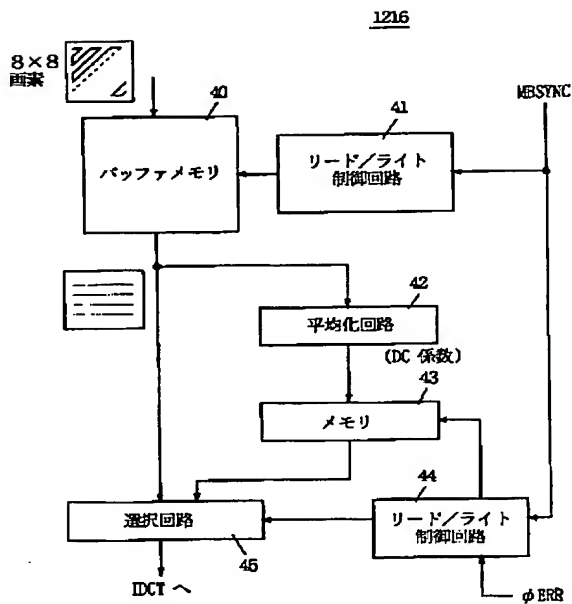
【図22】



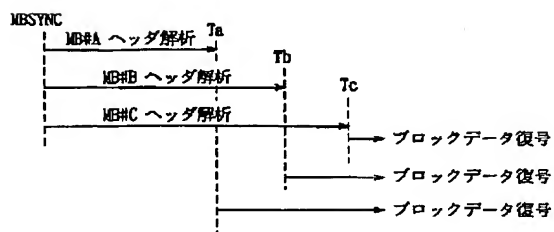
【図 20】



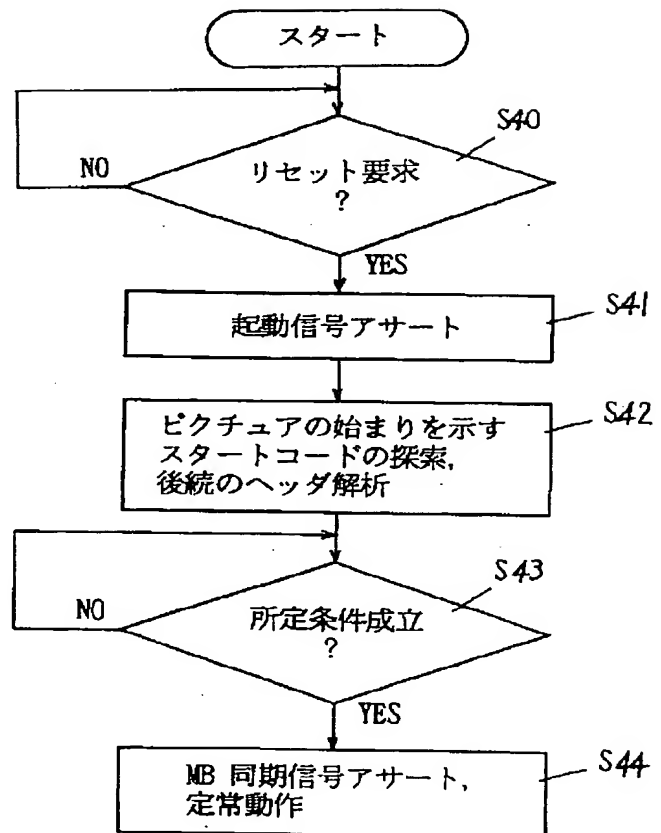
【図 21】



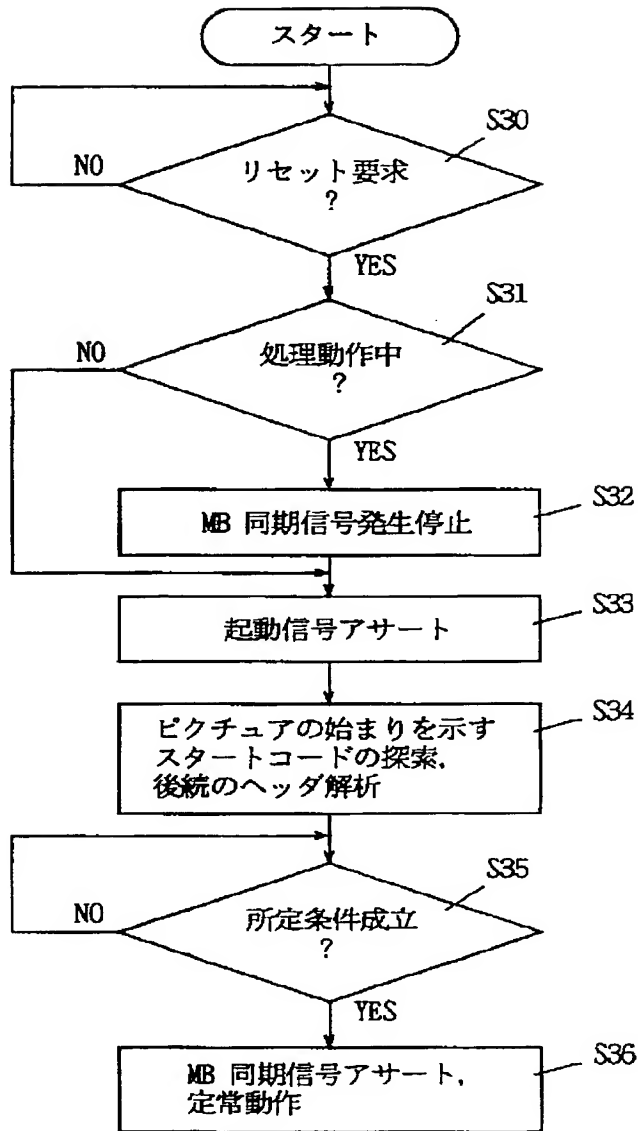
【図 39】



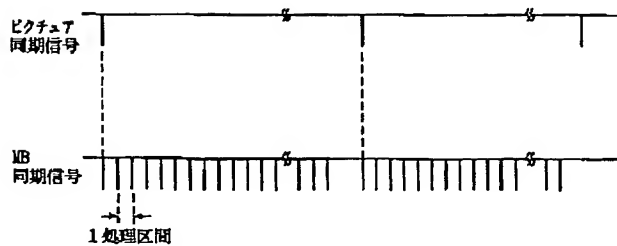
【図 25】



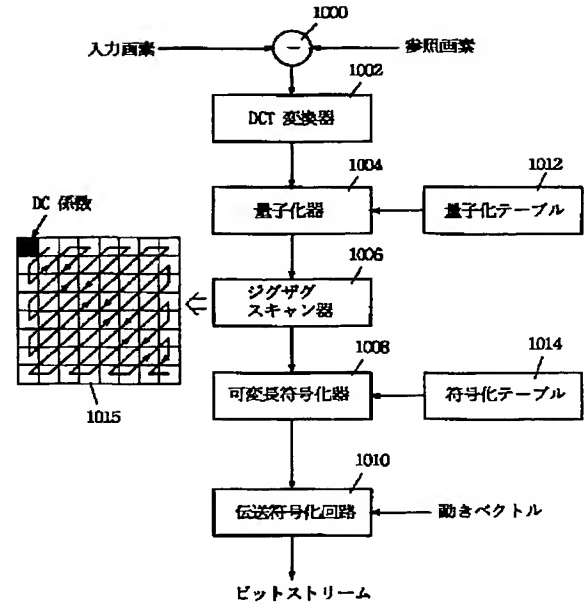
【図 24】



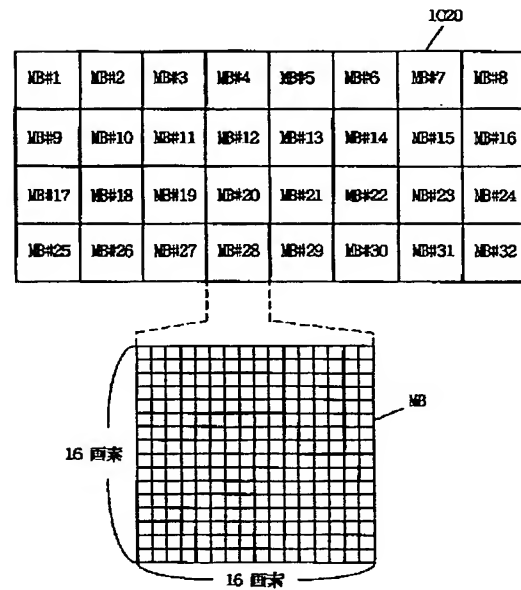
【図 35】



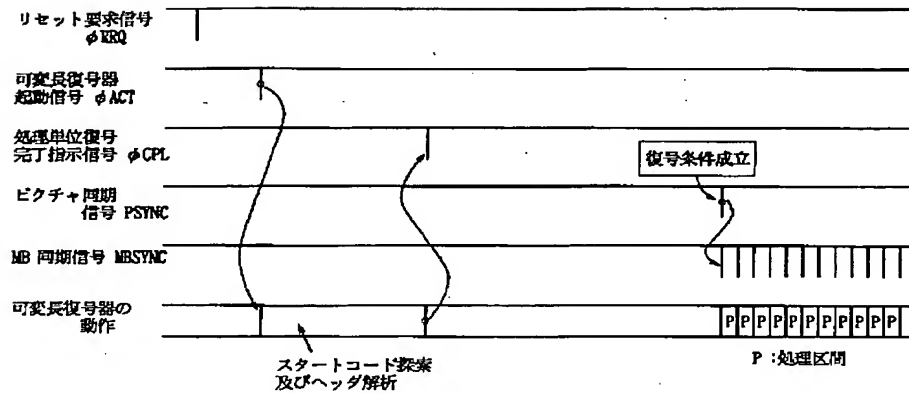
【図 27】



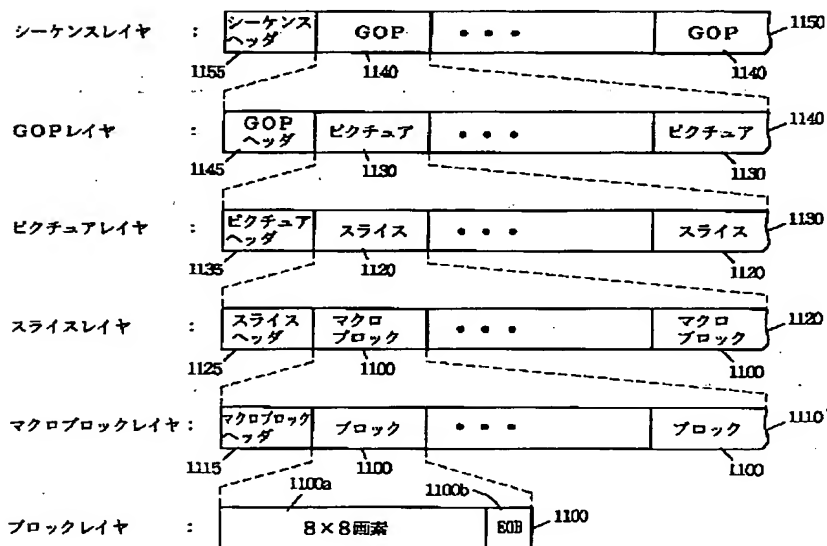
【図 29】



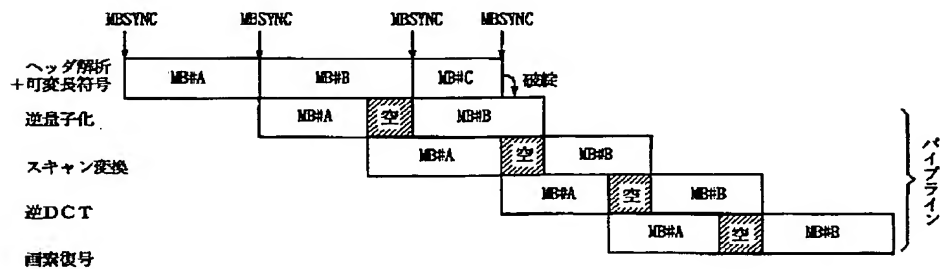
【図26】



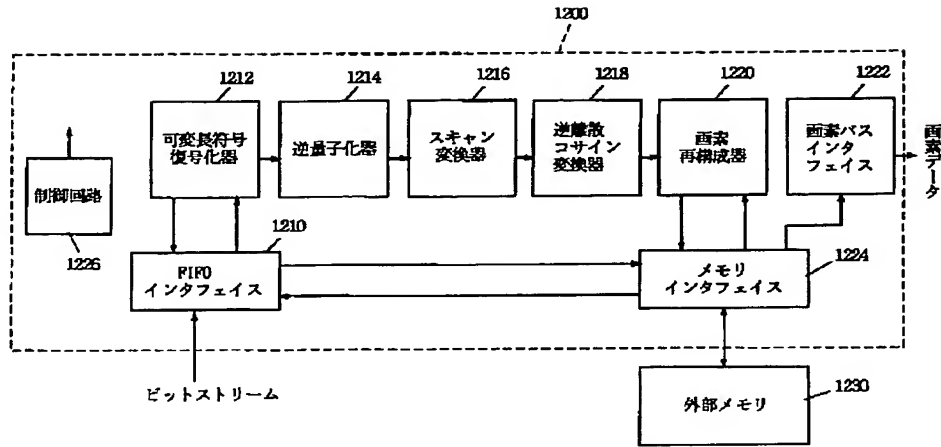
【図30】



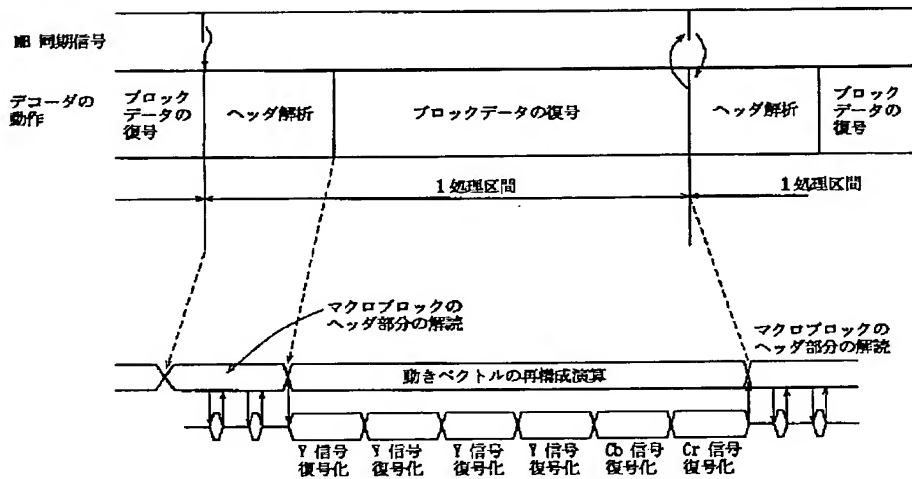
【図40】



【図 33】



【図 36】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)